

SO1P1601UP00

日 本 国 特 許 庁
JAPAN PATENT OFFICE

RS
5
5-14-02
JC955 U.S. PTO
10/017217
10/23/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application: 2000年10月24日

出 願 番 号
Application Number: 特願2000-363847

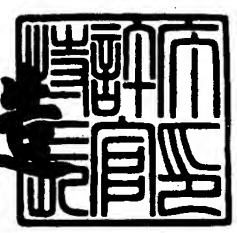
出 願 人
Applicant(s): ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3075082



【書類名】 特許願

【整理番号】 0000694403

【特記事項】 特許法第 3 6 条の 2 第 1 項の規定による特許出願

【提出日】 平成12年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 15/00
H04B 1/707
H04L 7/00

【発明者】

【住所又は居所】 東京都品川区東五反田 3 丁目 1 4 番 1 3 号 株式会社ソニーコンピュータサイエンス研究所内

【氏名】 エルビノ シルベイラ ソウザ

【発明者】

【住所又は居所】 東京都品川区東五反田 3 丁目 1 4 番 1 3 号 株式会社ソニーコンピュータサイエンス研究所内

【氏名】 河野 隆二

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 35,000円

【提出物件の目録】

【物件名】 外国語明細書 1

【物件名】 外国語図面 1

【物件名】 外国語要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 外国語明細書

DESCRIPTIONSPREAD SPECTRUM RECEIVER

5

TECHNICAL FIELD

The present invention relates to a spread spectrum receiver for a software radio, more particularly to circuits for the analog despreading and direct conversion of a direct sequence radio-frequency (RF) spread spectrum signal based on a FET wide-band direct-conversion circuit and to circuits for PN (pseudo random noise) code synchronization and despreading for different types of direct sequence spread spectra.

15

BACKGROUND INVENTION

The basic concept of a software radio is to utilize as much digital processing as possible so that the radio can be easily re-configured to receive signals of different formats, i.e., different modulation, under software control. The radio is simplified greatly if a single stage of RF down-conversion is utilized. Recently novel circuits for direct conversion based on the utilization of FET based square-law detectors have been proposed (refer to document [1], and [2],:

25

[1] M. Abe, N. Sasho, D. Krupezevic, and V.

Brankovic, "Receiver circuit", [2] WO99/33166 ('99. July. 1). These circuits enable the realization of direct conversion circuits with much higher bandwidth and linearity than previously possible.

5 The use of a direct conversion circuit in the context of a direct sequence spread spectrum receiver has advantages far greater than the above advantages of a single stage converter. In addition to the single stage converter, the direct conversion circuit effectively acts
10 as an analog correlator. This will result in a large reduction in the required processing speed for a spread spectrum receiver and the associated reduction in power consumption.

 Figure 1 is a block diagram of a conventional
15 digital direct sequence spread spectrum receiver.

 The direct sequence spread spectrum receiver 10 of Fig. 1 comprises a receiver antenna 11, an RF filter 12, a multi-stage down converter 13, an RF front-end noise reduction filter 14, a sample and analog to digital
20 (A/D) converter 15, a PN code synchronization and tracking circuit 16, and a Rake receiver (demodulator) 17.

 As shown in Fig. 1, the typical implementation of a direct sequence spread spectrum receiver 10 includes the
25 RF front-end noise reduction filter 14, followed by the

sampler and A/D converter 15 operating at a frequency of some multiple of the chip rate, e.g., 8 times the chip rate. For wide-band CDMA (Code Division Multiple Access) at a 3X bandwidth, this chip rate is equal to $8 \times 3.84 =$
5 30.72 MHz. For a higher bandwidth, the rate can easily be greater than 100 MHz. The receiver runs the PN code synchronization and tracking circuits 16 and performs despreading digitally at these rates.

If the receiver utilizes antenna diversity, or a
10 digital beam-forming array, then this circuitry is repeated at each of the array elements. For a large spreading bandwidth, the circuit complexity and the associated power consumption becomes large.

It becomes advantageous to design a receiver that
15 operates at clock frequencies that are multiples of the symbol rate rather than the chip rate. This is possible if the despreading is effectively implemented in an analog form.

20 DISCLOSURE OF INVENTION

A first object of the present invention is to provide a spread spectrum receiver enabling the design of power efficient spread spectrum systems with a very high chip rate, where the complexity of the circuit is independent
25 of the chip rate and capable of reducing the associated

power consumption.

A second object of the present invention is to provide a spread spectrum receiver for a software radio capable of performing the digital processing at the data
5 symbol rate instead of the chip rate.

According to the first aspect of the present invention, there is provided a spread spectrum receiver receiving a spread spectrum signal spread in bandwidth by a predetermined spreading code, comprising a local
10 oscillator for outputting a local signal with a predetermined frequency, a local spreading code generating means for generating a local spreading code according to the spreading code of received signal, and a direct conversion circuit for generating a reference
15 local signal based on the local signal from the local oscillator and the local spreading code from the local spreading generating means, generating two signals having a phase difference based on the received signal and the reference local signal, and despreading based on two
20 signals having a phase difference.

Preferably, the direct conversion circuit comprises a multiplier for multiplying the local signal by the local spreading code and outputting the same as the reference local signal, a first phase shifter for shifting the
25 received signal in phase, a second phase shifter for

shifting the reference local signal in phase, a first
adder for adding the reference local signal and an output
signal of the first shifter, a second adder for adding
the received signal and an output signal of the second
5 phase shifter, a first detector for detecting a signal
level of an output of the first adder, and a second
detector for detecting a signal level of an output of the
second adder.

Alternatively, the direct conversion circuit
10 comprises a modulator for modulating the local signal by
the local spreading code and outputting the same as the
reference local signal, a first phase shifter for
shifting the received signal in phase, a second phase
shifter for shifting the reference local signal in phase,
15 a first adder for adding the reference local signal and
an output signal of the first shifter, a second adder
for adding the received signal and an output signal of
the second phase shifter, a first detector for detecting
a signal level of an output of the first adder, and a
20 second detector for detecting a signal level of an output
of the second adder.

Further, in the present invention, a first filter for
performing a predetermined filtering processing with
respect to an output signal of the first detector, a
25 second filter for performing a predetermined filtering

processing with respect to an output signal of the second detector, and a third filter for performing a predetermined filtering processing with respect to an output signal of the third detector.

5 Further, the modulator comprises a quadrature modulator.

Preferably, the spreading code included in the reference local signal is synchronized to the spreading code of the received signal.

10 Further, the carrier frequency of the received signal is approximately equal to the carrier frequency of the reference local signal.

Further, in the present invention, at least one of the first, second, and third detectors comprises a square-law detector.

15 According to a second aspect of the present invention, there is provided a spread spectrum receiver receiving a spread spectrum signal spread in bandwidth by a predetermined spreading code, comprising a local oscillator for outputting a local signal with a predetermined frequency, a local spreading code tracking means for generating a local spreading code through a process of synchronization and tracking based on the received signal and a local signal from a local oscillator, and a direct conversion circuit for

20

25

generating a reference local signal based on the local
signal from the local oscillator and the local spreading
code from the local spreading tracking means, generating
two signals having a phase difference based on the
5 received signal and the reference local signal, and
dispersing based on two signals having a phase
difference.

Preferably, the local spreading code tracking means
comprises a local spreading code generator for generating
10 the local spreading code based on a value of a control
signal, a first phase adjusting means for delaying the
generated local spreading code by a predetermined time, a
second phase adjusting means for advancing the generated
local spreading code by a predetermined time, a first
15 multiplier for multiplying the local signal by an output
of the first phase adjusting means, a second multiplier
for multiplying the local signal by an output of the
second phase adjusting means, a first adder for adding
the received signal and an output of the first
20 multiplier, a first detector for detecting an amplitude
component of an output signal of the first adder, a first
envelope detecting means for detecting a first envelope
of an output signal of the first detector, a second adder
for adding the received signal and an output of the
25 second multiplier, a second detector for detecting an

amplitude component of an output signal of the second adder, a second envelope detecting means for detecting a second envelope of an output signal of the second detector, and a control signal generating means for
5 generating the control signal so as to reduce the difference between the first envelope and second envelope close to zero.

Further, the local spreading code tracking means comprises a local spreading code generator for generating
10 the local spreading code based on a value of a control signal, a first phase adjusting means for delaying the generated local spreading code by a predetermined time, a second phase adjusting means for advancing the generated local spreading code by a predetermined time, a first
15 multiplier for multiplying the local signal by an output of the first phase adjusting means, a second multiplier for multiplying the local signal by an output of the second phase adjusting means, a first phase shifter for shifting the received signal in phase, a second phase
20 shifter for shifting an output signal of the first multiplier in phase, a third phase shifter for shifting an output signal of the second multiplier in phase, a fourth phase shifter for shifting the received signal in phase, a first adder for adding an output signal of the
25 first phase shifter and the output of the first

multiplier, a second adder for adding the received signal
and an output signal of the second phase shifter, a third
adder for adding the received signal and an output signal
of the third phase shifter, a fourth adder for adding the
5 output signal of the second multiplier and an output
signal of the fourth phase shifter, a first detector for
detecting a signal level of an output of the first adder,
a second detector for detecting a signal level of an
output of the second adder, a third detector for
10 detecting a signal level of an output of the third adder,
a fourth detector for detecting a signal level of an
output of the fourth adder, a first filter for performing
a predetermined filtering processing with respect to an
output of a first detector, a second filter for
15 performing a predetermined filtering processing with
respect to an output of a second detector, a third filter
for performing a predetermined filtering processing with
respect to an output of a third detector, a fourth filter
for performing a predetermined filtering processing with
20 respect to an output of a fourth detector, a first norm
circuit for computing a first norm based on outputs of
the first and second filters, a second norm circuit for
computing a second norm based on outputs of the third and
fourth filters, a control signal generating means for
25 generating the control signal so as to reduce the

difference between the first norm and second norm close to zero.

Further, in the present invention, at least one of the first, second, third, and fourth detectors comprises
5 a square-law detector.

Preferably, the spreading code tracking means further comprising a means for removing D.C. offset from outputs of the first, second, third, and fourth filter.

Further, the local spreading code tracking means
10 comprises: a first local spreading code generator for generating an in-phase local spreading code based on a value of a control signal, a second local spreading code generator for generating a quadrature local spreading code based on the value of a control signal, a first
15 phase adjusting means for delaying the generated in-phase and quadrature local spreading codes by a predetermined time, a second phase adjusting means for advancing the generated in-phase and quadrature local spreading codes by a predetermined time, a first quadrature modulator for
20 modulating the local signal by output signals of the first phase adjusting means, a second quadrature modulator for modulating the local signal by output signals of the second phase adjusting means, a first phase shifter for shifting the received signal in phase,
25 a second phase shifter for shifting an output signal of

the first quadrature modulator in phase, a third phase shifter for shifting an output signal of the second quadrature modulator in phase, a fourth phase shifter for shifting the received signal in phase, a first adder for adding an output signal of the first phase shifter and the output of the first quadrature modulator, a second adder for adding the received signal and an output signal of the second phase shifter, a third adder for adding the received signal and an output signal of the third phase shifter, a fourth adder for adding the output signal of the second quadrature modulator and an output signal of the fourth phase shifter, a first detector for detecting a signal level of an output of the first adder, a second detector for detecting a signal level of an output of the second adder, a third detector for detecting a signal level of an output of the third adder, a fourth detector for detecting a signal level of an output of the fourth adder, a first filter for performing a predetermined filtering processing with respect to an output of a first detector, a second filter for performing a predetermined filtering processing with respect to an output of a second detector, a third filter for performing a predetermined filtering processing with respect to an output of a third detector, a fourth filter for performing a predetermined filtering processing with

respect to an output of a fourth detector, a first norm circuit for computing a first norm based on outputs of the first and second filters, a second norm circuit for computing a second norm based on outputs of the third and fourth filters, a control signal generating means for generating the control signal so as to reduce the difference between the first norm and second norm close to zero.

Further, the local spreading code tracking means comprises a first local spreading code generator for generating an in-phase local spreading code based on a value of a control signal, a second local spreading code generator for generating a quadrature local spreading code based on the value of a control signal, a first phase adjusting means for delaying the generated in-phase local spreading code by a predetermined time, a second phase adjusting means for delaying the generated quadrature local spreading code by a predetermined time, a third phase adjusting means for advancing the generated in-phase local spreading code by a predetermined time, a fourth phase adjusting means for advancing the generated quadrature local spreading code by a predetermined time, a first multiplier for multiplying the local signal by an output signal of the first phase adjusting means, a second multiplier for multiplying the local signal by an

output signal of the second phase adjusting means, a
third multiplier for multiplying the local signal by an
output signal of the third phase adjusting means, a
fourth multiplier for multiplying the local signal by an
5 output signal of the fourth phase adjusting means, a
first adder for adding the received signal and an output
signal of the first multiplier, a second adder for adding
the received signal and an output signal of the second
multiplier, a third adder for adding the received signal
10 and an output signal of the third multiplier, a fourth
adder for adding the received signal and an output signal
of the fourth multiplier, a first detector for detecting
a signal level of an output of the first adder, a second
detector for detecting a signal level of an output of the
15 second adder, a third detector for detecting a signal
level of an output of the third adder, a fourth detector
for detecting a signal level of an output of the fourth
adder, a first filter for performing a predetermined
filtering processing with respect to an output of a first
20 detector, a second filter for performing a predetermined
filtering processing with respect to an output of a
second detector, a third filter for performing a
predetermined filtering processing with respect to an
output of a third detector, a fourth filter for
25 performing a predetermined filtering processing with

respect to an output of a fourth detector, a first norm
circuit for computing a first norm based on outputs of
the first and second filters, a second norm circuit for
computing a second norm based on outputs of the third and
5 fourth filters, and a control signal generating means for
generating the control signal so as to reduce the
difference between the first norm and second norm close
to zero.

Preferably, the direct conversion circuit comprises a
10 multiplier for multiplying the local signal by the local
spreading code and outputting the same as the reference
local signal, a first phase shifter for shifting the
received signal in phase, a second phase shifter for
shifting the reference local signal in phase, a first
15 adder for adding the reference local signal and an output
signal of the first shifter, a second adder for adding
the received signal and an output signal of the second
phase shifter, a first detector for detecting a signal
level of an output of the first adder, and a second
20 detector for detecting a signal level of an output of the
second adder.

Further, in the present invention, the direct
conversion circuit comprises a quadrature modulator for
modulating the local signal by the in-phase and
25 quadrature local spreading codes and outputting the same

as the reference local signal, a first phase shifter for shifting the received signal in phase, a second phase shifter for shifting the reference local signal in phase, a first adder for adding the reference local signal and an output signal of the first shifter, a second adder for adding the received signal and an output signal of the second phase shifter, a first detector for detecting a signal level of an output of the first adder, and a second detector for detecting a signal level of an output of the second adder.

According to a third aspect of the present invention, there is provided a spread spectrum receiver for a software radio receiving a spread spectrum signal spread in bandwidth by a predetermined spreading code, comprising a local oscillator for outputting a local signal with a predetermined frequency, a local spreading code tracking means for generating a local spreading code through a process including digital processing of synchronization and tracking based on the received signal and local signal from the local oscillator, and a direct conversion circuit for generating a reference local signal based on the local signal from the local oscillator and the local spreading code from the local spreading tracking means, generating two signal having a phase difference based on the received signal and the

reference local signal, and despreading based on two signals having a phase difference.

Preferably, the local spreading code tracking means comprises a first local spreading code generator for
5 generating an in-phase local spreading code based on a value of a control signal, a second local spreading code generator for generating a quadrature local spreading code based on the value of a control signal, a first
10 phase adjusting means for delaying the generated in-phase and quadrature local spreading codes by a predetermined time, a second phase adjusting means for advancing the generated in-phase and quadrature local spreading codes by a predetermined time, a first quadrature modulator for modulating the local signal by output signals of the
15 first phase adjusting means, a second quadrature modulator for modulating the local signal by output signals of the second phase adjusting means, a first phase shifter for shifting the received signal in phase, a second phase shifter for shifting an output signal of the first quadrature modulator in phase, a third phase
20 shifter for shifting an output signal of the second quadrature modulator in phase, a fourth phase shifter for shifting the received signal in phase, a first adder for adding an output signal of the first phase shifter and
25 the output of the first quadrature modulator, a second

adder for adding the received signal and an output signal
of the second phase shifter, a third adder for adding the
received signal and an output signal of the third phase
shifter, a fourth adder for adding the output signal of
5 the second quadrature modulator and an output signal of
the fourth phase shifter, a first detector for detecting
a signal level of an output of the first adder, a second
detector for detecting a signal level of an output of the
second adder, a third detector for detecting a signal
10 level of an output of the third adder, a fourth detector
for detecting a signal level of an output of the fourth
adder, a first filter for performing a predetermined
filtering processing with respect to an output of a first
detector, a second filter for performing a predetermined
15 filtering processing with respect to an output of a
second detector, a third filter for performing a
predetermined filtering processing with respect to an
output of a third detector, a fourth filter for
performing a predetermined filtering processing with
20 respect to an output of a fourth detector, a first analog
to digital (A/D) converting means for converting output
analog signals of the first and second filters to digital
signals, a second A/D converting means for converting
output analog signals of the third and fourth filters to
25 digital signals, and a digital processing means for

generating the control signal so as to reduce the difference between the outputs of the first A/D converting means and second A/D converting means close to zero.

5 According to the present invention, the n-port spread spectrum direct-circuit converter, where the phase to be shifted θ is nominally equal to 45 degrees, and the detector is ideally the square function. One of the inputs is the received signal to be de-spread
10 (demodulated). The other input is a direct sequence spread spectrum signal. The reference signal has a PN (spreading) code that has been synchronized to the PN code of the received signal. The carrier frequency of the received signal should be approximately equal to the
15 carrier frequency of the reference signal but need not be synchronized with the carrier frequency of the local reference signal. Exact carrier and phase synchronization is performed in the digital domain. The sum of the received signal and the reference local signal phase
20 shifted by θ are input to a power detector. The sum of the reference local signal and the received signal phase-shifted by θ is input to a second power detector. A third output produces the power of the received signal.

 Further, according to the present invention, the PN
25 code tracking circuit utilizes an early late structure

along with a near-zero IF down-converter based on the direct-conversion concept, where the error signal for the tracking loop is determined from the square-law detector outputs.

5 Further, in a direct-conversion receiver for spread spectrum signals with complex spreading, the QPSK Mod block constitutes a complex spreader. The received signal is a signal with complex spreading.

10 Further, for example, there is a generalized tracking circuit for spread spectrum with direct conversion utilizing a software module in a software radio. The software module is programmed to perform the initial coarse synchronization, or PN code acquisition, through a process of stepping the frequency of the VCO through a
15 region of values thus bringing it within the lock range for the tracking loop. The software module also contains the algorithm for the tracking loop including the generation of the error signal and the filtering of this
20 signal.

BRIEF DESCRIPTION OF DRAWINGS

These and other objects and features of the present invention will become clearer from the following description of the preferred embodiments given with
25 reference to the accompanying figures, in which:

Fig. 1 is a block diagram of a conventional direct sequence spread spectrum receiver;

Fig. 2 is a block diagram of a first embodiment of a spread spectrum receiver according to the present invention;

Fig. 3 is a view of an example of the configuration of a five-port direct conversion circuit according to the present invention;

Fig. 4 is a view of an example of the configuration of a four-port direct conversion circuit according to the present invention;

Fig. 5 is a view of an equivalent four-port direct conversion circuit at the general case of a signal with quadrature modulation;

Fig. 6 is a view of a receiver based on case frequency estimation and digital phase estimation;

Fig. 7 is a view of an example of the configuration of a PN code tracking circuit of Fig. 2;

Fig. 8 is an explanatory view of the PN code correlations;

Fig. 9 is an explanatory view of the tracking "S" curve;

Fig. 10 is a view of another example of the configuration of a PN code tracking circuit of Fig. 2;

Fig. 11 is a block diagram of a second embodiment of

a spread spectrum receiver according to the present invention;

Fig. 12 is a view of an example of the configuration of a five-port direct conversion circuit for DS/BPSK according to the present invention;

Fig. 13 is a view of an example of the configuration of a PN code tracking circuit of Fig. 11 that effectively correlates with a local QPSK type of signal;

Fig. 14 is a view of another example of the configuration of a PN code tracking circuit of Fig. 11 without carrier phase shifters;

Fig. 15 is an explanatory view of the generalized error signal computation;

Fig. 16 is a view of another example of the configuration of a PN code tracking circuit of Fig. 11 for a software radio;

Fig. 17 is a view of a generalized four-port direct conversion circuit;

Fig. 18 is a view of the generalized PN code tracking circuit for a software radio; and

Fig. 19 is a view of another type of the direct conversion circuit according to the present invention.

BEST MODE FOR CARRYING OUT THE INVENTION

Below, the best modes of the direct sequence spread

spectrum receiver for SDR (software defined radio) will be described in detail with reference to the accompanying drawings.

Figure 2 is a block diagram of a first embodiment of a spread spectrum receiver according to the present invention.

The spread spectrum receiver 20 comprises, as shown in Fig. 2, an n (n is an integer 3 or more, in this embodiment, for example $n=5$ or 4)-port direct conversion circuit 21, a PN code tracking circuit 22, a digital circuit 23, and a local oscillator 24.

The n -port direct conversion circuit combines two signals, that is, a received signal $r(t)$ multiplied by the PN code $c(t)$ at the transmission side and a reference local signal $l(t) \times c(t)$ generated by multiplying a local signal $l(t)$ from the local oscillator 24 by a local PN code (± 1 value) from the PN code tracking circuit 22, in linear combinations and outputs one signal or two or more signals, wherein the analog power values of the output signal are detected by for example the FET based square-law detectors.

The PN code tracking circuit 22 generates the local PN code through a process of synchronization and tracking based on the received signal $r(t)$ from the transmission side and the local signal $l(t)$ from the local oscillator

24.

The digital circuit 23 converts the output signals of the n-port direct conversion circuit 21 through the not illustrated A/D converters to one or a plurality of signal components included in the received signal or the local signal.

Next, the concrete configurations and the basic functions of the n-port direct conversion circuit 21 and the PN code tracking circuit 22 will be explained in that order.

First, the concrete configuration of the n-port direct conversion circuit 21 will be explained.

Figure 3 is a view of an example of the configuration of a five ($n=5$)-port direct conversion circuit according to the present invention.

The five-port direct conversion circuit 210 comprises, as shown in Fig. 3, a multiplier 2101, phase shifters 2102 and 2103, adders 2104 and 2105, detectors 2106, 2107 and 2108, and RC filters 2109, 2110, and 2111.

Here, the five ports are comprised of a receive signal use input terminal T_{INr} , a local signal use input terminal T_{INl} , an output terminal (port) of the RC filter 2109, an output port of the RC filter 2110, and an output port of the RC filter 2111.

In Fig. 3, the parameter θ indicates a phase shift

(ideally, 45°). The actual realization of the five-port device ensures that the two phase shifts are perfectly matched. The gain coefficients k_i , depend on circuit component parameters, the functions $g(\cdot)$ of the detectors
 5 2106 to 2108 are non-linear functions that are approximately and ideally equal to the square functions, and the RC filters 2109 to 2111 are first order low-pass filters.

In the multiplier 2101, the received signal $r(t)$ is
 10 multiplied by the PN code $c(t)$ obtained through a process of synchronization and tracking in the PN code tracking circuit 22 and a reference local signal S2102 is output to the phase shifter 2103 and the adder 2104. If the local signal $l(t)$ is given by $B \cos \left[\omega_0 t - \frac{\pi}{4} \right]$, the
 15 reference local signal is given by $B_c(t) \cos \left[\omega_0 t - \frac{\pi}{4} \right]$.

In the phase shifter 2102, the received signal $r(t)$ is shifted in phase by θ (for example, 45°) and a signal S2102 ($r_\theta(t)$) is output to the adder 2104.

In the phase shifter 2103, the reference local signal
 20 S2102 is shifted in phase by θ and the signal S2103 is output to the adder 2105.

In the adder 2104, the output signal S2104 of the phase shifter 2102 and the reference local signal S2101

are added, and a signal S2104 is output to the detector 2107.

5 In the adder 2105, the output signal S2103 of the phase shifter 2103 and the received signal $r(t)$ are added and a signal S2105 is output to the detector 2108.

In the detector 2106, the amplitude component of the received signal $r(t)$ is detected and the detected amplitude component is supplied to the RC filter 2109.

10 In the detector 2107, the amplitude component of the output signal S2104 of the adder 2104 is detected and the detected amplitude component is supplied to the RC filter 2110.

15 In the detector 2108, the amplitude component of the output signal S2105 of the adder 2105 is detected and the detected amplitude components is supplied to the RC filter 2111.

20 The RC filter 2109 is comprised of, for example a low pass filter (LPF), the filtering processing is performed with respect to the amplitude component from the detector 2106, and a power signal P_0 is output to the digital circuit 23.

25 The RC filter 2110 is comprised of for example an LPF, the filtering processing is performed with respect to the amplitude component from the detector 2107, and a power signal P_1 is output to the digital circuit 23.

The RC filter 2111 is comprised of for example an LPF, the filtering processing is performed with respect to the amplitude component from the detector 2108, and a power signal P_2 is output to the digital circuit 23.

5 Here, the case is considered where the received signal $r(t)$ is a double sideband signal as follows:

$$r(t) = Am(t)\cos(\omega_c t + \phi(t)) \quad (1)$$

where $\phi(t)$ is the phase that is assumed to be slowly time varying, and $m(t)$ is the modulation signal. As
10 mentioned above, let the local signal $l(t) =$

$$B\cos\left(\omega_c t - \frac{\pi}{4}\right).$$

If the local signal $l(t)$ is perfectly tracking the received signal $r(t)$, then we have $\phi(t) = -\frac{\pi}{4}$.

Now assume that $g(\cdot)$ is the square function. The
15 signal P_0 is approximately equal to $\frac{\kappa_{01}^2 A^2}{2} m^2(t)$. The signal P_1 is given as follows:

$$\begin{aligned} & (\kappa_{11} r_\theta(t) + \kappa_{12} c(t)l(t))^2 \\ &= Lp\left\{\kappa_{11}^2 r_\theta^2(t) + 2\kappa_{11}\kappa_{12}Br_\theta(t)c(t)\cos\left(\omega_c t - \frac{\pi}{4}\right) + \kappa_{12}^2 c^2(t)l^2(t)\right\} \quad (2) \\ &= \frac{\kappa_{11}^2 A^2}{2} m^2(t) + \frac{\kappa_{12}^2 B^2}{2} + \kappa_{11}\kappa_{12}ABm(t)c(t)\cos\left(\phi + \frac{\pi}{4} - \theta\right) \end{aligned}$$

20 where Lp indicates the low-pass component, and $\gamma\theta(t)$ is equal to $r(t)$ phase shifted by θ .

Now, in the above, the first term is proportional to the output P_0 (equality If $k_{11} = k_{01}$), the second term is a D.C. component, and the third term is the desirable signal. Hence we may process P_1 and P_0 to obtain the following:

$$Y_1 = k_{22}k_{21}ABm(t)c(t)\cos\left(\phi + \frac{\pi}{4} + \theta\right) \quad (3)$$

In the same way, it is possible to show that the output at P_2 can be processed to obtain the following:

$$Y_0 = k_{22}k_{21}ABm(t)c(t)\cos\left(\phi + \frac{\pi}{4} + \theta\right) \quad (4)$$

Now if we set the parameter $\theta = \frac{\pi}{4}$ we obtain the following:

$$Y_1 = km(t)c(t)\cos\phi \quad (5)$$

$$Y_0 = -km(t)c(t)\sin\phi \quad (6)$$

where k is a proportionality constant. The outputs P_1 and P_2 of the five-port direct conversion circuit 210 are processed by subtracting a multiple of P_0 and removing the D.C. component to obtain the above I-Q signals. Hence the five-port direct conversion circuit 210 can be used as an I-Q direct converter.

Note that if the circuit components are suitably matched so that we can assume $K_{11} = K_{01}$ then the five-port direct conversion circuit can be reduced to a four-

port direct conversion circuit as shown in Fig. 4, where the I-Q components can be obtained from Y_1 and Y_2 by removing a D.C. offset.

Now consider the more general case of a signal with quadrature modulation where it is possible to write the received signal $r(t)$ as follows:

$$r(t) = A(m_i(t)\cos(\omega_c t + \phi) + m_q(t)\sin(\omega_c t + \phi)) \quad (7)$$

After processing the outputs of the five-port device by subtracting a multiple of P_0 and removing the D.C. component, it is possible to obtain the following I-Q signals:

$$Y_1 = \kappa \left(m_i(t) \cos\left(\phi + \frac{\pi}{4} - \theta\right) + m_q(t) \sin\left(\phi + \frac{\pi}{4} - \theta\right) \right) \quad (8)$$

$$Y_2 = \kappa \left(m_i(t) \cos\left(\phi + \frac{\pi}{4} + \theta\right) + m_q(t) \sin\left(\phi + \frac{\pi}{4} + \theta\right) \right) \quad (9)$$

It is possible to compute the transmitted (or information) I-Q signals as follows:

$$\begin{bmatrix} m_i(t) \\ m_q(t) \end{bmatrix} = \frac{1}{\kappa \sin(2\theta)} \begin{bmatrix} \sin\left(\phi + \frac{\pi}{4} + \theta\right) - \sin\left(\phi + \frac{\pi}{4} - \theta\right) \\ -\cos\left(\phi + \frac{\pi}{4} + \theta\right) \cos\left(\phi + \frac{\pi}{4} - \theta\right) \end{bmatrix} \begin{bmatrix} Y_1 \\ Y_2 \end{bmatrix} \quad (10)$$

Note that it is possible to solve the above for any phase angle θ except $\theta = \frac{\pi}{4}$. However the value of $\theta = \frac{\pi}{4}$ is optimum in terms of computation robustness. If $\theta = \frac{\pi}{4}$ is chosen, then the above becomes the following:

$$\begin{bmatrix} m_i(t) \\ m_q(t) \end{bmatrix} = \frac{1}{\kappa} \begin{bmatrix} \cos \phi - \sin \phi \\ \cos \phi \cos \phi \end{bmatrix} \begin{bmatrix} Y_i \\ Y_q \end{bmatrix} \quad (11)$$

5

The original (modulation) I-Q signals are recovered by precessing the above (detected) I-Q signals with the de-rotation matrix as in equation (11). In order to perform this operation, knowledge of the carrier phase of the received signal, ϕ , is required.

10

After the above development it is possible to model the five-port device effectively as a four-port device as shown in Fig. 5.

15

If the local signal of the local oscillator 24 in the preceding development, $l(t)$, is not phase locked to the carrier of the received signal, then the above phase error Φ will be time varying and will in fact contribute to a frequency offset denoted as $\Delta\omega$. There are two main approaches to achieving $\Delta\omega = 0$ and track the phase Φ .

20

One approach is to use a phase-lock loop. The error signal is produced from the rotated I-Q outputs in such a

way that it drives the VCO to track the phase of the received signal.

Another alternative instead of exact tracking of the phase is to make a coarse frequency estimate of the four-port device output and use it to control the frequency of an oscillator with step input control as shown in Fig. 6.

In Fig. 6, 210A denotes the four-port direct conversion circuit, 211 and 212 denote samplers, 213 and 214 denote A/D converters, 215 denotes a phase estimator de-rotator, 216 denotes a coarse frequency estimator, and 217 denotes a voltage controlled oscillator (VCO).

The coarse frequency estimation algorithm is run periodically with a period that is determined by the degree of frequency drift of the local oscillator with respect to the carrier of the received signal $r(t)$. The realization of the digital phase estimator 215 depends on the specifics of the modulation scheme. For QAM modulation, the phase estimator can be realized as a digital tracking loop. The two main approaches are the power of N method and the decision directed method (refer to a document [3]: H. Meyr, M. Moeneclaey, and S. Fechtel, Digital Communication Receivers: Synchronization, Channel Estimation, and Signal Processing).

If a single stage of down conversion is used, the spread spectrum (SS) receiver in Fig. 1. fits into the hardware reference model of the direct converter receiver of Fig. 6. It is possible to use the direct conversion circuit to detect the PN code chips and then perform the conventional despreading using digital correlation techniques. However an alternative is to realize analog correlation using a direct-detection process.

Such a direct conversion circuit is shown in Fig. 3. As mentioned above, in Fig. 3, $c(t)$ denotes a local replica of the PN code (± 1 value). This local PN code must be obtained through a process of synchronization and tracking at the PN code tracking circuit 22.

A key issue in the design of spread spectrum receivers is the synchronization of the PN code $c(t)$. This synchronization is difficult to achieve in the case where the spreading code is "modulated" by data.

In real systems, typically the unmodulated spreading code is transmitted as a synchronization signal. This signal may occur at the beginning of a data frame, i.e., a sync or pilot burst, or continuously as a pilot signal.

In the case of a large processing gain and high SNR, it is possible to assume data modulation on the PN code where the code acquisition occurs within the transmission of data symbols. For the purpose here, it is possible to

assume the transmission of a spreading code without data modulation. A prime example is the pilot signal in the IS-95 or WCDMA systems.

5 Figure 7 is a view of an example of the configuration of a PN code tracking circuit of Fig. 2.

10 The PN code tracking circuit 220 comprises, as shown in Fig. 7, a PN code generator 2201, phase adjusting circuits 2202 and 2203, multipliers 2204 and 2205, adders 2206 and 2207, square-law detectors 2208 and 2209, band-pass filters (BPFs) 2210 and 2211, envelope detectors 2212 and 2213, a subtractor 2214, a loop filter 2215, and a VCO 2216.

15 For systems with a short to medium length PN code (e.g. the pilot signal in IS-95, or WCDMA), this circuit can perform the two functions of PN code acquisition and tracking.

20 If the initial PN code clock frequency offset is not too large then the local PN code will "slide" by the incoming PN code in the code acquisition process. This sliding process will eventually bring the two codes into alignment. At such a time the tracking circuit will then maintain the two codes synchronized.

25 The step control on the frequency of the VCO of the tracking loop can be designed to bring the sliding rate to within a viable value for synchronization to occur

within a time period that is dependent on the PN code length and filter bandwidth (or equivalent integration time).

Concretely, in the PN code generator 2201, the PN
 5 code $c(t)$ is generated based on a control signal S2216 by the VCO 2216, and the generated PN code $c(t)$ is output to the phase adjusting circuits 2202 and 2203 and the multiplier 2101 of the five-port direct conversion circuit 210 in Fig. 3 (or four-port direct conversion
 10 circuit 210A in Fig. 4).

In the phase adjusting circuit 2202, the phase of the PN code $c(t)$ generated by the PN code generator 2201 is delayed by $-\Delta$ (nominally $\Delta = \frac{1}{2}$ chip) and a signal S2202 ($c(t-\Delta)$) is output to the multiplier 2204.

15 In the phase adjusting circuit 2203, the phase of the PN code $c(t)$ generated by the PN code generator 2201 is advanced by $+\Delta$ (as mentioned above, nominally $\Delta = \frac{1}{2}$ chip) and a signal S2203 ($c(t+\Delta)$) is output to the multiplier 2205.

20 In the multiplier 2204, the local signal $l(t) [=B\cos(\omega_0 t)]$ is multiplied by the output signal S2202 of the phase adjusting circuit 2202 and a signal S2204 ($B_c(t-\Delta)\cos(\omega_0 t)$) is output to the adder 2206.

In the multiplier 2205, the local signal $l(t)$ is
 25 multiplied by the output signal S2203 of the phase

adjusting circuit 2203 and a signal $(B_c(t+\Delta)\cos(\omega_0 t))$ is output to the adder 2207.

In the adder 2206, the received signal $r(t)$ $[=Ac(t)\cos(\omega_0 t+\phi)]$ and the output signal S2204 of the multiplier 2204 are added and a signal S2206 $(r(t)+B_c(t-\Delta)\cos(\omega_0 t))$ is output to the square-law detector 2208.

In the adder 2207, the received signal $r(t)$ and the output signal S2205 of the multiplier 2205 are added and a signal S2207 $(r(t)+B_c(t+\Delta)\cos(\omega_0 t))$ is output to the square-law detector 2209.

In the square-law detector 2208, a signal A1 is obtained based on the output signal S2207 of the adder 2207.

Similarly, in the square-law detector 2209, a signal A2 is obtained based on the output signal S2208 of the adder 2208.

Here, the signal at A1 is given by

$$(r(t) + B_c(t - \Delta)\cos(\omega_0 t))^2 = r^2(t) + 2Br(t)c(t-\Delta)\cos(\omega_0 t) + B^2c^2(t-\Delta)\cos^2(\omega_0 t) \quad (12)$$

The output of the band-pass filter (BPF) 2210 is obtained as the response of the band-pass filter to the following input:

$$ABc(t)c(t - \Delta)\cos(\omega_{1F}t + \phi) \quad (13)$$

and is given by

$$\overline{ABc(t)c(t-\Delta)}\cos(\omega_{IF}t+\phi) \quad (14)$$

where the bar indicates the filtering with a low-pass filter having a bandwidth equal to $\frac{1}{2}$ of the bandwidth of the band-pass filter in Fig. 7.

5 The output of the envelope detector 2212 at B1 is

then $\left| \overline{ABc(t)c(t-\Delta)} \right|$. Similarly the signal at the point B2 (output of the envelope detector 2213) is given by

$$\left| \overline{ABc(t)c(t+\Delta)} \right|.$$

10 Now, if assuming rectangular chip pulses and ignoring the correlation self-noise of the PN code, then the signals at B1 and B2 have the values as shown in Fig. 8 when plotted versus the timing error between the incoming PN code and the locally generated PN code.

15 The signal at point C (output of the subtractor 2214), as a function of the timing error, is then the tracking "S" curve shown in Fig. 9.

20 The PN code tracking circuit 220 of Fig. 7 operates at the IF frequency ω_{IF} . As such, it requires two band-pass filters at the outputs of the square-law detectors instead of the simpler low-pass filters.

It is possible to design a baseband version of the tracking circuit, where the local oscillator frequency is chosen to be approximately equal to the carrier frequency of the received signal $r(t)$. To design such a tracking

circuit, we consider the output of the square-law detector 2208 (2209) for the input signal

$$r(t) = A_c(t) \cos(\omega_c t + \phi) \quad (15)$$

and the local reference signal

$$5 \quad L_1(t) = B_c(t-\tau) \cos(\omega_c t - \theta) \quad (16)$$

$$(r(t) + L_1(t))^2 =$$

$$r^2(t) + L_1^2(t) + AB_c(t)c(t - \tau) \cos(\phi + \theta) + \text{double frequency term} \quad (17)$$

Now from this signal and possibly other square-law detector outputs, it is necessary to create a tracking curve ("S" curve) as in Fig. 9. Consider the case where the frequencies of the received signal and reference local signal are not locked. In this case, the phase Φ is actually time varying and it may be written as $\phi(t) = \Delta\omega t$, where $\Delta\omega$ is a small frequency offset.

It is clear that in order to create the "S" curve, correlation with the "early" reference signal $L_e(t) = B_c(t + \tau) \cos(\omega_c t - \theta)$ is not always necessary. For simplicity, it is assumed that the voltage transfer coefficients k_{1j} in Fig. 3. are equal to unity. The output of one of the square-law detectors is

$$(r(t) + L_e(t))^2 =$$

$$r^2(t) + L_e^2(t) + AB_c(t)c(t + \tau) \cos(\Phi + \theta) + \text{double frequency term} \quad (18)$$

Now in the above, the required component is the third

term. However, this term oscillates and for a small $\Delta\omega$ may vanish for a time that is too long for the tracking loop. As a result, we create what are effectively quadrature components by shifting the input signal by θ

5 and using the local reference $\cos(\omega_c t)$, where $\theta = \frac{\pi}{4}$ is the nominal value for the phase. Now, the signals in equations (17) and (18) are filtered with a low-pass filter with a bandwidth equal to the inverse of the integration time. The following four signals are
10 obtained:

$$\overline{r^2(t) + L_1^2(t) + ABc(t)c(t-\tau)\cos(\phi + \theta)} \quad (19)$$

$$\overline{r^2(t) + L_1^2(t) + ABc(t)c(t-\tau)\cos(\phi - \theta)} \quad (20)$$

$$\overline{r^2(t) + L_0^2(t) + ABc(t)c(t+\tau)\cos(\phi + \theta)} \quad (21)$$

$$\overline{r^2(t) + L_0^2(t) + ABc(t)c(t+\tau)\cos(\phi - \theta)} \quad (22)$$

15 The first term in the above four signals may be approximated by a constant assuming that the SS chip time is much smaller than the integration time, or inverse of low-pass filter (LPF) bandwidth. This constant
20 can be treated as a D.C. offset and removed. With $\theta = \frac{\pi}{4}$, the first two terms could be processed (square root of sum of squares) to yield a value for the early correlation. Similarly the second two terms could be

processed to yield the late correlation. However a simpler approach is to use the absolute value and to form an "S" curve that in a sense is the sum of two "S" curves. If thinking of these two terms as the components of a vector, then these two approaches correspond to computing the L_2 and L_1 norms of the vector.

For the case of the use of the L_1 norm, it is assumed that the timing error of the incoming signal is ε , then it is possible to create the "S" curve for the tracking loop as follows:

$$S(\varepsilon) = \left| ABc(t - \varepsilon)c(t - \tau)\cos(\phi + \theta) \right| - \left| ABc(t - \varepsilon)c(t + \tau)\cos(\phi + \theta) \right| + \left| ABc(t - \varepsilon)c(t - \tau)\cos(\phi - \theta) \right| - \left| ABc(t - \varepsilon)c(t + \tau)\cos(\phi - \theta) \right| \quad (23)$$

Figure 10 is a view of an other example of the configuration of a PN code tracking circuit of Fig. 2 based on the above theory.

The PN code tracking circuit 220A comprises, as shown in Fig. 10, a PN code generator 2221, phase adjusting circuits 2222 and 2223, multipliers 2224 and 2225, phase shifters 2226, 2227, 2228, and 2229, adders 2230, 2231, 2232, and 2233, square-law detectors 2234, 2235, LPFs 2238, 2239, 2240, and 2241, subtractors 2242, 2243, 2244, and 2245, norm circuits 2246 and 2247, a summing circuit

2248, a loop filter 2249, and a VCO 2250.

In the PN code generator 2221, the PN code $c(t)$ is generated based on a control signal S2250 by the VCO and the generated PN code $c(t)$ is output to the phase adjusting circuits 2222 and 2223 and the multiplier 2101 of the five-port direct conversion circuit 210 in Fig. 3 (or the four-port direct conversion circuit 210A in Fig. 4).

In the phase adjusting circuit 2222, the phase of the PN code $c(t)$ generated by the PN code generator 2221 is delayed by $-\Delta$ (nominally $\Delta = \frac{1}{2}$ chip) and a signal S2222 ($c(t-\Delta)$) is output to the multiplier 2224.

In the phase adjusting circuit 2223, the phase of the PN code $c(t)$ generated by the PN code generator 2221 is advanced by $+\Delta$ and a signal S2223 ($c(t+\Delta)$) is output to the multiplier 225.

In the multiplier 2224, the local signal $l(t) [=B\cos(\omega_0 t)]$ is multiplied by the output signal S2222 of the phase adjusting circuit 2222, and a signal S2224 ($Bc(t-\Delta)\cos(\omega_0 t)$) is output to the phase shifter 2227 and the adder 2230.

While, in the multiplier 2225, the local signal $l(t)$ is multiplied by the output signal S2223 of the phase adjusting circuit 2223, and a signal S2225 ($Bc(t+\Delta)\cos(\omega_0 t)$) is output to the phase shifter 2227 and the adder 2230.

t)) is output to the phase shifter 2228 and the adder 2233.

In the phase shifter 2226, the received signal $r(t)$ is shifted in phase by θ (for example $\frac{\pi}{4}$), and a signal S2226 is output to the adder 2230.

In the phase shifter 2227, the output signal S2224 of the multiplier 2224 is shifted in phase by θ , and the signal S2227 is output to the adder 2231.

In the adder 2230, the output signal S2226 of the phase shifter 2226 and the output signal S2224 of the multiplier 2224 are added, and a signal S2230 is output to the square-law detector 2234.

In the adder 2231, the received signal $r(t)$ and the output signal S2227 of the phase shifter 2227 are added, and a signal S2231 is output to the square-law detector 2235.

In the square-law detector 2234, the output signal S2230 of the adder 2230 is squared and output to the LPF 2238, and then input to the subtractor 2242. In the subtractor 2242, the D.C. offset etc. is removed from the output of LPF 2238 and the result output to the norm circuit 2246.

Similarly, in the square-law detector 2235, the output signal S2231 of the adder 2231 is squared and

output to the LPF 2239, and then input to the subtractor 2243. In the subtractor 2243, the D.C. offset is removed from the output of the LPF 2239 and the result output to the norm circuit 2246.

5 In the norm circuit 2246, the norms of the vector are computed and output to the summing circuit 2248.

 In the phase shifter 2228, the output signal S2225 of the multiplier 2225 is shifted in phase by θ , and the signal S2228 is output to the adder 2232.

10 In the phase shifter 2229, the received signal $r(t)$ is shifted by θ (for example $\frac{\pi}{4}$), and a signal S2229 is output to the adder 2233.

 In the adder 2232, the received signal $r(t)$ and the output signal S2228 of the phase shifter 2228 are added, and a signal S2232 is output to the square-law detector 2236.

15 In the adder 2233, the output signal S2229 of the phase shifter 2229 and the output signal S2225 of the multiplier 2225 are added, and a signal S2233 is output to the square-law detector 2237.

20 In the square-law detector 2236, the output signal S2232 of the adder 2232 is squared and output to the LPF 2240, and then input to the subtractor 2244. In the subtractor 2244, the D.C. offset etc. is removed from the

output of LPF 2240 and output to the norm circuit 2247.

Similarly, in the square-law detector 2237, the output signal S2233 of the adder 2233 is squared and output to the LPF 2241, and then input to the subtractor 2245. In the subtractor 2245, the D.C. offset is removed from the output of the LPF 2241 and output to the norm circuit 2247.

In the norm circuit 2247, the norms of the vector are computed and output to the summing circuit 2248.

In the summing circuit 2248, the output of the norm circuit 2246 and 2247 are summed and output to the VCO 2250 via the loop filter 2249.

In the VCO 2250, the oscillation frequency is changed by the output of the loop filter 2249, and the value of the control signal S2250 is changed according to the change of the oscillation frequency.

In this PN code tracking circuit 220A, the bandwidth of the LPF depends on the SNR. If the incoming signal has no modulation, e.g., is the pilot signal in IS-95 or WCDMA, the bandwidth is equal to approximately the inverse of the integration time for the PN code correlation. This bandwidth is chosen depending on the SNR and false-lock probability requirements.

On the other hand, if the incoming signal is modulated by data, then the bandwidth of the LPF should

not be smaller than the data rate, i.e., the (equivalent) integration time should be less than the data period.

In comparing the IF and baseband tracking circuits of Fig. 7 and Fig 10, it should be noted that a direct conversion receiver typically does not require an image rejection filter. An RF front-end filter may still be desirable since it will limit the strength of the interference in the power detection circuits, which may drive these circuits into the non-linear region. However, the design of this filter in terms of the roll-off from the pass-band to the stop-band is not critical.

On the other hand, with an IF based receiver, the RF front-end filter has the function of removing the image frequency. For narrow-band systems, it is critical that the image frequency be removed, and the complexity of the filter depends on the IF frequency used. For small IF frequency is closer to the local oscillator frequency and the filter specification (roll-off) is more stringent.

On the other hand, with spread spectrum signals, as a result of the processing gain, it is not essential that an RF filter with image rejection capability be used. The signal of the image frequency will act as an interfere, and the effect on the receiver will be about a 3dB loss in SNR.

Figure 11 is a block diagram of a second embodiment

of a spread spectrum receiver according to the present invention.

The spread spectrum receiver 30 is constituted corresponding to the quadrature spreading and despreading processing.

The spread spectrum receiver 30 comprises, as shown in Fig. 11, an n (n is an integer 3 or more, in this embodiment, for example $n=5$ or 4)-port direct conversion circuit 31, a PN code tracking circuit 32, a digital circuit 33, and a local oscillator 34.

The n -port direct conversion circuit 31 combines two signals, which are a receiver signal $r(t)$ multiplied by the PN code $c(t)$ at the transmission side and a local reference signal $l(t)c^*(t)$ (where $c(t)$ a complex spreading code as explained below) generated by modulating a local signal $l(t)$ from the local oscillator 34 with local PN codes ($c_i(t)$ and $C_q(t)$) from the PN code tracking circuit 32, in linear combinations and output one signal or two or more signals, wherein the analog power values of the output signal are detected by for example the FET based square-law detectors.

The PN code tracking circuit 32 generates the local PN codes $c_i(t)$ and $C_q(t)$ through a process of synchronization and tracking based on the received signal $r(t)$ from the transmission side and the local signal $l(t)$

from the local oscillator 34.

The digital circuit 33 converts the output signals of the n-port direct conversion circuit 31 through the not illustrated A/D converters to one or a plurality of
5 signal components included in the received signal or the local signal.

There are three main direct sequence schemes that utilize some form of QPSK modulation at the chip level. Here QPSK1, QPSK2, and QPSK3 will be referenced to. In
10 QPSK1, we form a regular QPSK signal by using the data symbols and spread each of the data symbols (on the in-phase and quadrature carriers) with two different PN codes.

In QPSK2, it is possible to take individual data
15 symbols and spread them with two different PN codes, with one spread signal being transmitted in the in-phase carrier and the other being transmitted on the quadrature carrier. This form of the spread spectrum is used in the forward link of IS-95.

20 QPSK3 is what is typically referred to as complex spreading and is used in 3G WCDMA systems.

First we will consider the use of the five-port device for direct detection of these signals assuming that a synchronized local PN code exists at the receiver,
25 then will discuss circuits for the PN code

synchronization.

For the case of QPSK1, first, we will consider the case where local synchronized PN code and carrier signals exist. In this case, since the received signal effectively consists of two independent SS signals in the in-phase and quadrature carrier components, it is possible to utilize two five-port based circuits, as explained above for the BPSK case, to independently demodulate the in-phase and quadrature signals. If the perfect carrier synchronization is realized, there will be no interference between the two branches (in-phase and quadrature).

Next, it will be considered the case where there is a synchronized PN code but no synchronized carrier at the receiver. In this case, it is possible to use two independent BPSK type circuits to demodulate the in-phase and quadrature data, but there will be some interference between the two branches due to the non-zero cross-correlation of the spreading codes in the two QPSK branches. The degree of this interference will depend on the integration time, filter bandwidth, or equivalent processing gain and should be small for modest to large values of these parameters.

Next, the concrete configurations and the basic functions of the n-port direct conversion circuit 31 and

the PN code tracking circuit 32 will be described.

First, the concrete configuration of the n-port direct conversion circuit 31 will be explained.

Figure 12 is a view of an example of the configuration of a five ($n=5$)-port direct conversion circuit according to the present invention.

The five-port direct conversion circuit 310 comprises, as shown in Fig. 12, a QPSK modulator 3101, phase shifters 3102 and 3103, adders 3104 and 3105, detectors 3106, 3107, and 3108, and RC filters 3109, 3110, and 3111.

Here, the five ports are comprised of a received signal use input terminal T_{NR} , a local signal use input terminal T_{NL} , an output terminal (port) of the RC filter 3109, an output port of the RC filter 3110, and an output port of the RC filter 3111.

In the QPSK modulator 3101, the received signal $r(t)$ is modulated by using the PN code $c_1(t)$ and $c_q(t)$ obtained through a process of synchronization and tracking in the PN code tracking circuit 32, and a reference local signal S3101 is output to the phase shifter 3103 and the adder 3104.

In the phase shifter 3102, the received signal $r(t)$ is shifted in phase by θ (for example, 45°) and a signal S3102 is output to the adder 3104.

In the phase shifter 3103, the reference local signal S3101 is shifted in phase by θ and the signal S3103 is output to the adder 3105.

5 In the adder 3104, the output signal S3102 of the phase shifter 3102 and the reference local signal S3101 are added, and a signal S3104 is output to the detector 3107.

10 In the adder 3105, the output signal S3103 and the received signal $r(t)$ are added, and a signal S3105 is output to the detector 3108.

In the detector 3106, the amplitude component of the received signal $r(t)$ is detected, and the detected amplitude component is supplied to the RC filter 3109.

15 In the detector 3107, the amplitude component of the output signal S3104 of the adder 3104 is detected, and the detected amplitude component is supplied to the RC filter 3110.

20 In the detector 3108, the amplitude component of the output signal S3105 of the adder 3105 is detected, and the detected amplitude component is supplied to the RC filter 3111.

25 The RC filter 3109 is comprised of, for example, a low-pass filter (LPF), the filtering processing is performed with respect to the amplitude component from the detector 3106, and a power signal P_0 is output to the

digital circuit 33.

The RC filter 3110 is comprised of for example an LPF, the filtering processing is performed with respect to the amplitude component from the detector 3107, and a power signal P_1 is output to the digital circuit 33.

The RC filter 3111 is comprised of for example an LPF, the filtering processing is performed with respect to the amplitude component from the detector 3108, and a power signal P_2 is output to the digital circuit 33.

Here, QPSK2 and QPSK3 will be considered at the direct conversion circuit 310 of Fig. 12. It is possible to treat these two cases together as follows: The following received SS signal will be considered.

$$r(t) = \text{Re} \left\{ d(t)c(t)e^{j(\omega_c t + \phi)} \right\} \quad (24)$$

where $c(t) = c_1(t) + jc_2(t)$ is a complex spreading code (two real spreading codes), and $d(t)$ is a data signal. If $d(t)$ is real, then it is QPSK2, and if $d(t)$ is complex, then it is QPSK3, as discussed above.

Here, a direct conversion circuit 310 to detect the signal in equation (24) will be considered. For example, based on the sum of the local signal

$$l_1(t) = \text{Re} \left\{ c^*(t)e^{-j(\omega_c t - \frac{\pi}{4} + \theta)} \right\} \quad \text{and the received signal input to a square-law detector, the following equation (25) can}$$

be obtained.

$$\begin{aligned} & \left(\operatorname{Re} \left\{ d(t)c(t)e^{j(\omega_c t + \phi)} \right\} + \operatorname{Re} \left\{ c^*(t)e^{-j(\omega_c t - \frac{\pi}{4} + \theta)} \right\} \right)^2 = \frac{1}{4} \times \\ & \left(d(t)c(t)e^{j(\omega_c t + \phi)} + d^*(t)c^*(t)e^{-j(\omega_c t + \phi)} + c^*(t)e^{-j(\omega_c t - \frac{\pi}{4} + \theta)} + c(t)e^{j(\omega_c t - \frac{\pi}{4} + \theta)} \right)^2 \\ & = \gamma^2(t) + I_i^2(t) + |c(t)|^2 d(t)e^{j(\phi + \frac{\pi}{4} - \theta)} + |c(t)|^2 d^*(t)e^{-j(\phi + \frac{\pi}{4} - \theta)} \end{aligned}$$

5 + double freq. terms (25)

Subtracting the squares of the received and local signals and the double frequency terms and assuming $|c(t)|^2 = 2$ (i.e., square shaped local chip pulses), the following equation can be obtained:

$$I = \frac{1}{2} \left(d(t)e^{j(\phi + \frac{\pi}{4} - \theta)} + d^*(t)e^{-j(\phi + \frac{\pi}{4} - \theta)} \right) \quad (26)$$

Now the following same procedure as above but with the local signal is followed

$$I_r(t) = \operatorname{Re} \left\{ c^*(t)e^{-j(\omega_c t - \frac{\pi}{4} - \theta)} \right\} \quad (27)$$

15 to obtain the result

$$Q = \frac{1}{2} \left(d(t)e^{j(\phi + \frac{\pi}{4} + \theta)} + d^*(t)e^{-j(\phi + \frac{\pi}{4} + \theta)} \right) \quad (28)$$

Now, for $\theta = \frac{\pi}{4}$, the following two outputs can be obtained.

$$I(t) = \frac{1}{2}(d(t)e^{j\phi} + d^*(t)e^{-j\phi}) = \text{Re}(d(t)e^{j\phi}) \quad (29)$$

$$Q(t) = \frac{j}{2}(d(t)e^{j\phi} - d^*(t)e^{-j\phi}) = -\text{Im}(d(t)e^{j\phi}) \quad (30)$$

5

Therefore the data signal may be determined as follows:

$$d(t) = (I(t) - jQ(t))e^{-j\phi} \quad (31)$$

The above processing is performed in the five-port direct conversion circuit 310 of Fig. 12.

10

Next, the PN code synchronization circuits of Fig. 11 for the various QPSK schemes will be explained. The approach is to achieve PN code synchronization using a direct detection type circuit and to leave the carrier frequency and phase synchronization to the digital domain in the baseband processing. The case of a received signal without data modulation will be assumed. Thus, for all the QPSK type schemes, the synchronization problem amounts to locking onto a signal of the following form:

15

$$r(t) = A(c_I(t)\cos(\omega_o t + \phi) + c_Q(t)\sin(\omega_o t + \phi)) \quad (32)$$

20

where $c_I(t)$ and $c_Q(t)$ are two spreading codes - the so-called quadrature spreaders in the case of QPSK2 (IS-95).

To achieve spreading code synchronization in this case, it is sufficient to synchronize to either of the two PN codes since they are locked to each other at the transmitter. Hence in principle it is possible to use a
 5 circuit of the type of Fig. 7 or Fig. 10 with $c(t)$ set to either of the two quadrature spreaders.

Alternatively, to achieve a higher SNR in the tracking loop, a circuit that effectively correlates with a local QPSK type of signal can be realized as shown in
 10 Fig. 13.

Figure 13 is a view of an example of the configuration of a PN code tracking circuit of Fig. 11 based on that effectively converted with a local QPSK type of signal.

15 The PN code tracking circuit 320 comprises, as shown in Fig. 13, PN code generators 3221a and 3221b, phase adjusting circuits 3222a, 3222b, 3223a and 3223b, QPSK modulators 3224 and 3225, phase shifters 3226, 3227, 3228, and 3229, adders 3230, 3231, 3232, and 3233,
 20 square-law detectors 3234, 3235, 3236, and 3237, LPFs 3238, 3239, 3240, and 3241, subtractors 3242, 3243, 3244, and 3245, norm circuits 3246 and 3247, a summing circuit 3248, a loop filter 3249, and a VCO 3250.

In the PN code generator 3221a, the PN code $c_r(t)$ is
 25 generated based on a control signal S2250 by the VCO

3250, and the generated PN code $c_i(t)$ is output to the phase adjusting circuits 3222a and 3223a and the QPSK modulator 3101 of the five-port direct conversion circuit 310 in Fig.12.

5 In the PN code generator 3221b, the PN code $c_q(t)$ is generated based on a control signal S2250 by the VCO 3250, and the generated PN code $c_q(t)$ is output to the phase adjusting circuits 3222b and 3223b and the QPSK modulator 3101 of the five-port direct conversion circuit
10 310 in Fig.12.

 In the phase adjusting circuit 3222a, the phase of the PN code $c_i(t)$ generated by the PN code generator 3221a is delayed by $-\Delta$ (nominally $\Delta = \frac{1}{2}$ chip), and a signal S3222a ($c_i(t-\Delta)$) is output to the QPSK modulator 3224.

15 In the phase adjusting circuit 3222b, the phase of the PN code $c_q(t)$ generated by the PN code generator 3221b is delayed by $-\Delta$ (nominally $\Delta = \frac{1}{2}$ chip), and a signal S3222b ($c_q(t-\Delta)$) is output to the QPSK modulator 3224.

 In the phase adjusting circuit 3223a, the phase of the PN code $c_i(t)$ generated by the PN code generator 3221a is advanced by $+\Delta$, and a signal S3223 ($c_i(t+\Delta)$) is
20 output to the QPSK modulator 3225.

 In the phase adjusting circuit 3223b, the phase of the PN code $c_q(t)$ generated by the PN code generator

3221b is advanced by $+\Delta$, and a signal S3223b ($c_i(t+\Delta)$) is output to the QPSK modulator 3225.

5 In the QPSK modulator 3224, the local signal $l(t) [=B\cos(\omega_0 t)]$ is modulated by the output signals S3222a and S3222b of the phase adjusting circuits 3222a and 3222b, and a signal S3224 is output to the phase shifter 3227 and the adder 3230.

10 While, in the QPSK modulator 3225, the local signal $l(t)$ is modulated by the output signals S3223a and 3223b of the phase adjusting circuits 3223a and 3223b, and a signal S3225 is output to the phase shifter 3228 and the adder 3233.

15 In the phase shifter 3226, the received signal $r(t)$ is shifted in phase by θ (for example $\frac{\pi}{4}$), and a signal S3226 is output to the adder 3230.

In the phase shifter 3227, the output signal S3224 of the QPSK modulator 3224 is shifted in phase by θ , and the signal S3227 is output to the adder 3231.

20 In the adder 3230, the output signal S3226 of the phase shifter 3226 and the output signal S3224 of the QPSK modulator 3224 are added, and a signal S3230 is output to the square-law detector 3234.

In the adder 3231, the received signal $r(t)$ and the output signal S3227 of the phase shifter 3227 are added,

and a signal S3231 is output to the square-law detector 3235.

5 In the square-law detector 3234, the output signal S3230 of the adder 3230 is squared and output to the LPF 3238, and then input to the subtractor 3242. In the subtractor 3242, the D.C. offset etc. is removed from the output of LPF 3238 and output to the norm circuit 2246.

10 Similarly, in the square-law detector 3235, the output signal S3231 of the adder 3231 is squared and output to the LPF 3239, and then input to the subtractor 3243. In the subtractor 3243, the D.C. offset is removed from the output of the LPF 3239 and output to the norm circuit 3246.

15 In the norm circuit 3246, the norms of the vector are computed and output to the summing circuit 3248.

In the phase shifter 3228, the output signal S3225 of the QPSK modulator 3225 is shifted in phase by θ , and the signal S3228 is output to the adder 3232.

20 In the phase shifter 3229, the received signal $r(t)$ is shifted in phase by θ (for example $\frac{\pi}{4}$), and a signal S3229 is output to the adder 3233.

In the adder 3232, the received signal $r(t)$ and the output signal S3228 of the phase shifter 3228 are added, and a signal S3232 is output to the square-law detector

3236.

5 In the adder 3233, the output signal S3229 of the phase shifter 3229 and the output signal S3225 of the QPSK modulator 3225 are added, and a signal S3233 is output to the square-law detector 3237.

10 In the square-law detector 3236, the output signal S3232 of the adder 3232 is squared and output to the LPF 2240, and then input to the subtractor 3244. In the subtractor 3244, the D.C. offset etc. is removed from the output of LPF 3240 and output to the norm circuit 3247.

15 Similarly, in the square-law detector 3237, the output signal S3233 of the adder 3233 is squared and output to the LPF 3241, and then input to the subtractor 3245. In the subtractor 3245, the D.C. offset is removed from the output of the LPF 3241 and output to the norm circuit 3247.

In the norm circuit 3247, the norms of the vector are computed and output to the summing circuit 3248.

20 In the summing circuit 3248, the output of the norm circuit 3246 and 3247 are summed and output to the VCO 3250 via the loop filter 3249.

25 In the VCO 3250, the oscillation frequency is changed by the output of the loop filter 3249, and the value of the control signal S3250 is changed according to the change of the oscillation frequency.

According to the configuration of Fig. 13, the signal at A- (output of the subtractor 3242) is given as follows:

$$\begin{aligned} & \left(\frac{B}{2} \left(c(t-\Delta) e^{j(\omega_b t - \theta)} + c^*(t-\Delta) e^{-j(\omega_b t - \theta)} \right) + \frac{A}{2} \left(c(t) e^{j(\omega_b t + \phi)} + c^*(t) e^{-j(\omega_b t + \phi)} \right) \right)^2 \\ &= \left(B \operatorname{Re} \left\{ c(t-\Delta) e^{j(\omega_b t - \theta)} \right\} \right)^2 + \left(A \operatorname{Re} \left\{ c(t) e^{j(\omega_b t + \phi)} \right\} \right)^2 + AB \operatorname{Re} \left\{ c(t-\Delta) c(t) e^{j(2\omega_b t + \phi - \theta)} \right\} \\ &+ AB \operatorname{Re} \left\{ c^*(t-\Delta) c(t) e^{j(\phi + \theta)} \right\} \end{aligned}$$

5 Now, the first three terms in the above are either D.C. or double frequency terms. Hence if the signal passes the low-pass filter and the D.C. offset is removed, the following signal at A- can be obtained:

$$AB \operatorname{Re} \left\{ \overline{c^*(t-\Delta) c(t)} e^{j(\phi + \theta)} \right\} \quad (33)$$

10 where the bar indicates low pass filtering. In the same manner, the following signals for B-, A+, and B+ can be obtained respectively as

$$AB \operatorname{Re} \left\{ \overline{c^*(t-\Delta) c(t)} e^{j(\phi - \theta)} \right\} \quad (34)$$

$$AB \operatorname{Re} \left\{ \overline{c^*(t+\Delta) c(t)} e^{j(\phi + \theta)} \right\} \quad (35)$$

$$15 \quad AB \operatorname{Re} \left\{ \overline{c^*(t+\Delta) c(t)} e^{j(\phi - \theta)} \right\} \quad (36)$$

Now if treating the two values in equations (33) and (34) as two components of a vector and taking the L_2 norm, then any phase dependency in computing the error signal for the tracking loop can be removed.

Alternatively, one may go for a simpler realization and work with the L_1 norm, where the computation of the norm amounts to the sum of the absolute values of two complex numbers.

5 Next, a sub-optimal tracking circuit that does not require carrier phase shifters will be considered.

Figure 14 is a view of another example of the configuration of a PN code tracking circuit of Fig. 11 without carrier phase shifters.

10 In Fig. 14, the multipliers 3251 and 3252 are provided instead of the QPSK modulator 3224 of Fig. 13. The multiplier 3251 multiplies the local signal $l(t)$ by the output signal S3222a of the phase adjusting circuit 3222a. The multiplier 3252 multiplies the local signal
15 $l(t)$ by the output signal S3222b of the phase adjusting circuit 3222b.

Similarly, in Fig. 14, the multipliers 3253 and 3254 are provided instead of the QSPK modulator 3225 of Fig. 13. The multiplier 3253 multiplies the local signal $l(t)$
20 by the output signal S3223a of the phase adjusting circuit 3223a. The multiplier 3254 multiplies the local signal $l(t)$ by the output signal S3223b of the phase adjusting circuit 3223b.

Further, in Fig. 14, adders 3255 and 3256 are
25 provided instead of the phase shifter 3226 and 3227 and

adders 3230 and 3231 of Fig. 13. The adder 3255 adds the received signal $r(t)$ and an output signal S3251 of the multiplier 3251. The adder 3256 adds the received signal $r(t)$ and an output signal S3252 of the multiplier 3252.

5 Further, in Fig. 14, adders 3257 and 3258 are provided instead of the phase shifters 3228 and 3229 and adders 3232 and 3233 of Fig. 13. The adder 3257 adds the received signal $r(t)$ and an output signal S3254 of the multiplier 3254. The adder 3258 adds the received signal
10 $r(t)$ and an output signal S3253 of the multiplier 3253.

According to this configuration of Fig. 14, the signal at the point A- (output of the subtractor 3242) is given by the following:

$$\begin{aligned} & AB \operatorname{Re} \left\{ \overline{c_i(t-\Delta)} c_i(t) e^{j\phi} \right\} \\ &= AB \left(\overline{c_i(t-\Delta)} c_i(t) \cos \phi - \overline{c_i(t-\Delta)} c_q(t) \sin \phi \right) \quad (37) \\ &\approx AB \overline{c_i(t-\Delta)} c_i(t) \cos \phi \end{aligned}$$

15 where the approximation is based on the in-phase and quadrature codes $c_i(t)$ and $c_q(t)$ having a low cross correlation. Similarly the signal at B- (output of the subtractor 3243) can be computed as follows:

$$\begin{aligned} & AB \operatorname{Re} \left\{ \overline{c_q(t-\Delta)} c_i(t) e^{j\phi} \right\} \\ &= AB \left(\overline{c_q(t-\Delta)} c_i(t) \cos \phi - \overline{c_q(t-\Delta)} c_q(t) \sin \phi \right) \quad (38) \\ &\approx -AB \overline{c_q(t-\Delta)} c_q(t) \sin \phi \end{aligned}$$

20 Now if considering the signals at A- and B-, there is

no value of the phase ϕ which makes both of them vanish. If $|\cos\phi|$ vanishes, then $|\sin\phi|$ is maximum and vice-versa. In the same manner as above. it is possible to compute the two corresponding signals for the lower branch of the circuit as follows:

$$\begin{aligned} & AB \operatorname{Re} \left\{ \overline{c_i(t+\Delta)c(t)} e^{j\phi} \right\} \\ &= AB \left(\overline{c_i(t+\Delta)c_i(t)} \cos\phi - \overline{c_i(t+\Delta)c_q(t)} \sin\phi \right) \\ &\approx AB c_i(t+\Delta)c_i(t) \cos\phi \end{aligned} \quad (39)$$

$$\begin{aligned} & AB \operatorname{Re} \left\{ \overline{c_q(t+\Delta)c(t)} e^{j\phi} \right\} \\ &= AB \left(\overline{c_q(t+\Delta)c_i(t)} \cos\phi - \overline{c_q(t+\Delta)c_q(t)} \sin\phi \right) \\ &\approx -AB c_q(t+\Delta)c_q(t) \sin\phi \end{aligned} \quad (40)$$

The signals at A-, B-, A+, and B+ may be processed as indicated in Fig. 14. However it may be desirable to replace the two "Norm" blocks (norm circuit 3246, 3247) and the adder (or subtractor) with a more generalized block that may have better performance in the presence of noise in the loop, D.C. offsets, and other imperfections.

The generalized block shown in Fig. 15 can be utilized. In this case, the algorithm to compute the error signal can account for any imperfections and even adapt to changing characteristics of the analog circuit components.

Fig. 16 is a view of another example of the configuration of a PN code tracking circuit of Fig. 11 for a software radio.

5 The point of difference of the circuit 320B of Fig. 16 from the circuit of Fig. 13 is that A/D converters 3260, 3261, 3262, and 3263 are provided with outputs of the LPFs 3238, 3239, 3240, and 3241 and a digital processor 3264, that is, part of the generated software radio architecture, instead of the D.C. removal use
10 subtractors 3242 to 3245, norm circuit 3246 and 3247, the summing circuit 3248, and the loop filter 3249 of Fig. 13.

The architecture for the various DS/SS tracking circuits discussed so far contains a part that operates
15 at RF frequencies and a part that operates at lower frequencies. The low frequency part can be realized digitally in order to achieve flexibility in the operation of the tracking circuit in different environments of interference and different cases of
20 frequency offset and D.C. offsets introduced by the circuits.

Such a modification can also give rise to a faster locking process. Thus the design of an optimized acquisition circuit and tracking circuit can be included
25 in one unit.

Accordingly, in the PN code tracking circuit 320B, A/D converters 3260 to 3263 are provided after the LPSS (low pass filters) 3238 to 3241. Further, as mentioned above, the D.C. removal use subtractors 3242 to 3245, norm circuits 3246 and 3247, summing circuit 3248, and tracking loop filter 3249 of Fig. 13 are then all incorporated in a digital processor 3264, that is, part of the general software radio architecture. It can be a software module in such an architecture.

Further, the direct conversion circuit 210 and 210A of Fig. 3, and Fig. 4 can take on alternative forms involving the basic principle of power detection using an FET device (refer to above mentioned document [1]). All of these forms will have at least two inputs (the received signal and a local reference signal) and at least two output signals. Each of the outputs will consist of the (low-pass filtered) power signal of the sum of the input signals with one input signal being phase shifted with respect to the other by the angle θ . The output signals contain sufficient information to enable the extraction of the in-phase and quadrature components of the received signal $r(t)$. A four port circuit will have the form as shown in Fig. 17 where the outputs are basically low-pass filtered (e.g. RC filter) signal powers at the FET outputs.

Based on the generalized four-port direct conversion circuit of Fig. 17, it is possible to design a generalized PN code tracking circuit as shown in Fig. 18.

5 In Fig. 18, 3265 denotes a PN code generator, 3266 denotes a modulator, and 3267 and 3208 denote four-port direct conversion circuits.

For example, the modulator 3266 includes the phase adjusting circuit 3222a, 3222b, 3223a, and 3223b and the QPSK modulators 3224 and 3225 of Fig. 13, while the four-
10 port direct conversion circuit 3267 includes the phase shifters 3226, 3227, adders 3233, 3231, square-law detectors 3234, 3235, and LPFs 3238, 3339 of Fig. 13.

Similarly, the four-port direct conversion circuit 3268 includes the phase shifters 3228, 3229, adders 3232,
15 3233, square-law detectors 3236, 3237, and LPFs 3240, 3241.

The circuits in Fig. 16 and Fig. 18, can be used for both PN code acquisition and tracking by the appropriate design of the algorithm in the software module (digital
20 processor). For PN code acquisition, the module can output a sequence of error signal that effective steps the frequency of the VCO 3250 through a sequence of frequencies that ultimately bring the local PN code into alignment with the received PN code. In any acquisition
25 and tracking circuit, an important parameter is the

bandwidth of the filter at the output of the square-law detectors 3234 to 3237, or at the input to the A/D converters 3260 to 3263.

5 This bandwidth effectively determines an equivalent integration time. An optimum acquisition circuit should have an integration time that depends on the SNR of the received signal $r(t)$. It is possible to design the four-port direct detection circuits with a fixed bandwidth (fixed RC filter at the FET output) and then
10 realize further filtering digitally in the software module. The actual algorithm for the software module will depend on the PN code length, the SNR of the received signal, and clock frequency uncertainty at the beginning of the acquisition process.

15 In the embodiment, circuits for the direct detection and PN code synchronization for direct sequence spread spectrum signals were explained. These circuits are based on the use of recently developed wide-band direct detection FET based circuits that exhibit a high degree
20 of linearity. The circuits described in this embodiment effectively allow the analog realization of the despreading function in a spread spectrum. Such a realization results in the receiver complexity being independent of the PN code spreading clock frequency. The
25 resulting circuits are significant in the design of

future wide-band spread spectrum receivers for systems such as 3G WCDMA and beyond.

5 Namely, according to the present embodiment, circuits for the analog disspreading and direct conversion of a direct sequence RF spread spectrum signal based on FET wide-band direct-converter circuits are presented. The circuits enable the design of power efficient spread spectrum systems with a very high chip rate, where the complexity of the circuit is independent of the chip rate. The use of these circuits will solve a problem in 10 the current state of the art, that is, realization of a spread spectrum where power consumption increases with the chip rate.

15 Further, in this embodiment, circuits for the PN code synchronization and disspreading for different types of direct sequence spread spectrum are presented. These circuits enable the design of software radio receivers where the digital processing in the receiver is performed at the data symbol rate (or at a small multiple of the 20 symbol rate) instead of the chip rate which is customary in state-of-the art realization of modern direct sequence spread spectrum receivers.

25 In these circuits, the chip rate is only limited by the bandwidth and linearity of the FET based direct detector circuit. The recent development of FETs based

direct detectors with very wide bandwidth and large dynamic ranges enables the realization of the proposed approach to direct sequence spread spectrum receiver design proposed here.

5 Accordingly, the present invention will allow greatly simplified receiver designs for spread spectrum and CDMA systems, including the realization of low-cost information processing devices to attach to the Internet. Spread spectrum systems are typically limited in
10 spreading bandwidth due to the receiver complexity. The present invention will greatly extend the bandwidth limit for these systems.

 Note that, in the present invention, n-port devices were explained as examples of the disspreading use direct
15 conversion circuit, however, the present invention can be applied to other types of direct conversion circuits, for example, shown in Fig. 19 (for example, refer to Japanese Unexamined Patent Publication (Kokai) No. 11-317777).

 The direct conversion circuit 40 of Fig. 19 comprises
20 a quadrature demodulator 41, a quadrature modulator 42, and LPFs 43 and 44.

 The quadrature demodulator 41 consists of a local oscillator 411, multipliers 412, 413, and 414, and a phase shifter ($\pi/2$ shifter) 415.

25 In the quadrature demodulator 41, the multiplier 412

multiplies a local signal $l(t)$ by a PN code $c(t)$.

Further the quadrature modulator 42 is constituted by a local oscillator 421, multipliers 422, 423, and 424, a phase shifter 415, and an adder 416.

5 In the quadrature modulator 42, the multiplier 422 multiplies a local signal $l(t)$ by a PN code $c(t)$.

While the invention has been described with reference to specific embodiments chosen for the purpose of illustration, it should be apparent that numerous
10 modifications could be made thereto by those skilled in the art without departing from the basic concept and scope of the invention.

INDUSTRIAL APPLICABILITY

As described above, according to the spread spectrum
15 receiver, the spread spectrum receiver employs circuits 21, 31 based on direct conversion techniques. These circuits allow the realization of spread spectrum receivers of greatly reduced complexity and of much higher chip rates than can be realized with the standard
20 approach of a fully digital receiver. With these circuits, the digital processing at the receiver is performed at the data symbol rate and not at a multiple of the chip rate that is customary in state-of-the-art spread spectrum and CDMA receiver designs.

List of References

- 20 spread spectrum receiver
- 21 n-port direct conversion circuit
- 22 PN code tracking circuit
- 5 23 digital circuit
- 24 local oscillator
- 210 five-port direct conversion circuit
- 2101 multiplier
- 2102,2103 phase shifter
- 10 2104,2105 adder
- 2106 to 2108 square-law detector
- 2109 to 2111 RC filter
- 210A four-port direct conversion circuit
- 220 PN code tracking circuit
- 15 2201 PN code generator
- 2202,2203 phase adjusting circuit
- 2204,2205 multiplier
- 2206,2207 adder
- 2208,2209 square-law detector
- 20 2210,2211 band-pass filter (BPF)
- 2212,2214 envelope detector
- 2214 substructure
- 2215 loop filter
- 2216 VCO
- 25 220A PN code tracking circuit

	2221	PN code generator
	2222,2223	phase adjusting circuit
	2224,2225	multiplier
	2226 to 2229	phase shifter
5	2230 to 2233	adder
	2234 to 2237	square-law detector
	2238 to 2241	low-pass filter (LPF)
	2242 to 2243	substructure
	2246,2247	norm circuit
10	248	summing circuit
	2249	loop filter
	2250	VCO
	30	spread spectrum receiver
	31	n-port direct conversion circuit
15	32	PN code tracking circuit
	33	digital circuit
	34	local oscillator
	310	five-port direct conversion circuit
	3101	QPSK modulator
20	3102,3103	phase shifter
	3104,3105	adder
	3106 to 3108	square-law detector
	3109 to 3111	RC filter
	320	PN code tracking circuit
25	3221a,3221b	PN code generator

	3222a, 3222b, 3223a, 3223b	phase adjusting circuit
	3224, 3225	QPSK modulator
	3226 to 3229	phase shifter
	3230 to 3233	adder
5	3234 to 3237	square-law detector
	3238 to 3241	LPF
	3242 to 3245	substructure
	3248	summing circuit
	3249	loop filter
10	3250	VCO
	320A	PN code tracking circuit
	3251 to 3254	multiplier
	3255 to 3258	adder
	320B	PN code tracking circuit
15	3260 to 3263	A/D converter
	3264	digital processor
	320C	PN code tracking circuit
	3266	modulator
	3267, 3268	four-port direct conversion circuit
20	40	direct conversion circuit
	41	quadrature demodulator
	42	quadrature modulator
	43, 44	LPF
	411, 421	local oscillator
25	412 to 414, 422 to 424	multiplier

415,425 phase shifter

426 adder

CLAIMS

1. A spread spectrum receiver receiving a spread spectrum signal spread in bandwidth by a predetermined spreading code, comprising;

5 a local oscillator for outputting a local signal with a predetermined frequency,

 a local spreading code generating means for generating a local spreading code according to the spreading code of the received signal, and

10 a direct conversion circuit for generating a reference local signal based on the local signal from the local oscillator and the local spreading code from the local spreading generating means, generating two signals having a phase difference based on the received
15 signal, and the reference local signal, and despreading based on two signals having a phase difference.

2. A spread spectrum receiver as set forth in claim 1, wherein

 the direct conversion circuit comprises:

20 a multiplier for multiplying the local signal by the local spreading code and outputting the same as the reference local signal,

 a first phase shifter for shifting the received signal in phase,

25 a second phase shifter for shifting the

reference local signal in phase,

a first adder for adding the reference local signal and an output signal of the first shifter,

5 a second adder for adding the received signal and an output signal of the second phase shifter,

a first detector for detecting a signal level of an output of the first adder, and

a second detector for detecting a signal level of an output of the second adder.

10 3. A spread spectrum receiver as set forth in claim 2, wherein

the direct conversion circuit further comprises:

15 a first filter for performing a predetermined filtering processing with respect to an output signal of the first detector and

a second filter for performing a predetermined filtering processing with respect to an output signal of the second detector.

20 4. A spread spectrum receiver as set forth in claim 2, wherein

the direct conversion circuit further comprises:

a third detector for detecting a signal level of the received signal.

25 5. A spread spectrum receiver as set forth in claim 4, wherein

a first filter for performing a predetermined filtering processing with respect to an output signal of the first detector,

5 a second filter for performing a predetermined filtering processing with respect to an output signal of the second detector, and

a third filter for performing a predetermined filtering processing with respect to an output signal of the third detector.

10 6. A spread spectrum receiver as set forth in claim 1, wherein

the direct conversion circuit comprises:

15 a modulator for modulating the local signal by the local spreading code and outputting the same as the reference local signal,

a first phase shifter for shifting the received signal in phase,

a second phase shifter for shifting the reference local signal in phase,

20 a first adder for adding the reference local signal and an output signal of the first shifter,

a second adder for adding the received signal and an output signal of the second phase shifter,

25 a first detector for detecting a signal level Of an output of the first adder, and

a second detector for detecting a signal level
of an output of the second adder.

7. A spread spectrum receiver as set forth in claim
6, wherein

5 the direct conversion circuit further comprises:
a first filter for performing a predetermined
filtering processing with respect to an output signal of
the first detector and

10 a second filter for performing a predetermined
filtering processing with respect to an output signal of
the second detector.

8. A spread spectrum receiver as set forth in claim
6, wherein

15 the direct conversion circuit further comprises:
a third detector for detecting a signal level of
the received signal.

9. A spread spectrum receiver as set forth in claim
8, wherein

20 the direct conversion circuit further comprises:
a first filter for performing a predetermined
filtering processing with respect to an output signal of
the first detector,

25 a second filter for performing a predetermined
filtering processing with respect to an output signal of
the second detector, and

a third filter for performing a predetermined filtering processing with respect to an output signal of the third detector.

5 10. A spread spectrum receiver as set forth in claim 6, wherein the modulator comprises a quadrature modulator.

10 11. A spread spectrum receiver as set forth in claim 1, wherein the spreading code included in the reference local signal is synchronized to the spreading code of the received signal.

12. A spread spectrum receiver as set forth in claim 1, wherein the carrier frequency of the received signal is approximately equal to the carrier frequency of the reference local signal.

15 13. A spread spectrum receiver as set forth in claim 2, wherein at least one of a first detector and second selector comprises a square-law detector.

20 14. A spread spectrum receiver as set forth in claim 4, wherein at least one of the first, second, and third detectors comprises a square-law detector.

15. A spread spectrum receiver as set forth in claim 6, wherein at least one of the first detector and second selector comprises a square-law detector.

25 16. A spread spectrum receiver as set forth in claim 8, wherein at least one of the first, second, and third

detectors comprises a square-law detector.

17. A spread spectrum receiver receiving a spread spectrum signal spread in bandwidth by a predetermined spreading code, comprising:

5 a local oscillator for outputting a local signal with a predetermined frequency,

 a local spreading code tracking means for generating a local spreading code through a process of synchronization and tracking based on the received
10 signal and local signal from local oscillator, and

 a direct conversion circuit for generating a reference local signal based on the local signal from the local oscillator and the local spreading code from the local spreading tracking means; generating two
15 signal having a phase difference based on the received signal and the reference local signal, and despreading based on two signals having a phase difference.

18. A spread spectrum receiver as set forth in claim 17, wherein

20 the local spreading code tracking means comprises:

 a local spreading code generator for generating the local spreading code based on a value of a control signal,

25 a first phase adjusting means for delaying the

generated local spreading code by a predetermined time,
a second phase adjusting means for advancing the
generated local spreading code by a predetermined time,
a first multiplier for multiplying the local
5 signal by an output of the first phase adjusting means,
a second multiplier for multiplying the local
signal by an output of the second phase adjusting means,
a first adder for adding the received signal and
an output of the first multiplier,
10 a first detector for detecting an amplitude
component of an output signal of the first adder,
a first envelope detecting means for detecting a
first envelope of an output signal of the first
detector,
15 a second adder for adding the received signal
and an output of the second multiplier,
a second detector for detecting an amplitude
component of an output signal of the second adder,
a second envelope detecting means for detecting
20 a second envelope of an output signal of the second
detector, and
a control signal generating means for generating
the control signal so as to reduce the difference
between the first envelope and second envelope close to
25 zero.

19. A spread spectrum receiver as set forth in claim 17, wherein

the local spreading code tracking means comprises:

5 a local spreading code generator for generating the local spreading code based on a value of a control signal,

 a first phase adjusting means for delaying the generated local spreading code by a predetermined time,

10 a second phase adjusting means for advancing the generated local spreading code by a predetermined time,

 a first multiplier for multiplying the local signal by an output of the first phase adjusting means,

 a second multiplier for multiplying the local signal by an output of the second phase adjusting means,

15 a first phase shifter for shifting the received signal in phase,

 a second phase shifter for shifting an output signal of the first multiplier in phase,

20 a third phase shifter for shifting an output signal of the second multiplier in phase,

 a fourth phase shifter for shifting the received signal in phase,

25 a first adder for adding an output signal of the first phase shifter and the output of the first

multiplier,

a second adder for adding the received signal
and an output signal of the second phase shifter,

5 a third adder for adding the received signal and
an output signal of the third phase shifter,

a fourth adder for adding the output signal of
the second multiplier and an output signal of the fourth
phase shifter,

10 a first detector for detecting a signal level of
an output of the first adder,

a second detector for detecting a signal level
of an output of the second adder,

a third detector for detecting a signal level of
an output of the third adder,

15 a fourth detector for detecting a signal level
of an output of the fourth adder,

a first filter for performing a predetermined
filtering processing with respect to an output of a
first detector,

20 a second filter for performing a predetermined
filtering processing with respect to an output of a
second detector,

a third filter for performing a predetermined
filtering processing with respect to an output of a
25 third detector,

a fourth filter for performing a predetermined filtering processing with respect to an output of a fourth detector,

5 a first norm circuit for computing a first norm based on outputs of the first and second filters,

a second norm circuit for computing a second norm based on outputs of the third and fourth filters, and

10 a control signal generating means for generating the control signal so as to reduce the difference between the first norm and second norm close to zero.

20. A spread spectrum receiver as set fourth in claim 19, wherein at least one of the first, second, third, and fourth detectors comprises a square-law detector.

21. A spread spectrum receiver as set fourth in claim 19, wherein the spreading code tracking means further comprises:

20 a means for removing D.C. offset from outputs of the first, second, third, and fourth filter.

22. A spread spectrum receiver as set forth in claim 17, wherein

the local spreading code tracking means comprises:

25 a first local spreading code generator for

generating an in-phase local spreading code based on a value of a control signal,

5 a second local spreading code generator for generating a quadrature local spreading code based on the value of a control signal,

a first phase adjusting means for delaying the generated in-phase and quadrature local spreading codes by a predetermined time,

10 a second phase adjusting means for advancing the generated in-phase and quadrature local spreading codes by a predetermined time,

a first quadrature modulator for modulating the local signal by output signals of the first phase adjusting means,

15 a second quadrature modulator for modulating the local signal by output signals of the second phase adjusting means,

a first phase shifter for shifting the received signal in phase,

20 a second phase shifter for shifting an output signal of the first quadrature modulator in phase,

a third phase shifter for shifting an output signal of the second quadrature modulator in phase,

25 a fourth phase shifter for shifting the received signal in phase,

a first adder for adding an output signal of the first phase shifter and the output of the first quadrature modulator,

5 a second adder for adding the received signal and an output signal of the second phase shifter,

a third adder for adding the received signal and an output signal of the third phase shifter,

10 a fourth adder for adding the output signal of the second quadrature modulator and an output signal of the fourth phase shifter,

a first detector for detecting a signal level of an output of the first adder,

a second detector for detecting a signal level of an output of the second adder,

15 a third detector for detecting a signal level of an output of the third adder,

a fourth detector for detecting a signal level of an output of the fourth adder,

20 a first filter for performing a predetermined filtering processing with respect to an output of a first detector,

a second filter for performing a predetermined filtering processing with respect to an output of a second detector,

25 a third filter for performing a predetermined

filtering processing with respect to an output of a
third detector,

a fourth filter for performing a predetermined
filtering processing with respect to an output of a
5 fourth detector,

a first norm circuit for computing a first norm
based on outputs of the first and second filters,

a second norm circuit for computing a second
norm based on outputs of the third and fourth filters,
10 and

a control signal generating means for generating
the control signal so as to reduce the difference
between the first norm and second norm close to zero.

23. A spread spectrum receiver as set fourth in
15 claim 22, wherein at least one of the first, second,
third, and fourth detectors comprises a square-law
detector.

24. A spread spectrum receiver as set fourth in
claim 22, wherein the spreading code tracking means
20 further comprises:

a means for removing D.C. offset from outputs of
the first, second, third, and fourth filters.

25. A spread spectrum receiver as set forth in
claim 17, wherein

25 the local spreading code tracking means

comprises:

a first local spreading code generator for
generating an in-phase local spreading code based on a
value of a control signal,

5 a second local spreading code generator for
generating a quadrature local spreading code based on
the value of a control signal,

a first phase adjusting means for delaying the
generated in-phase local spreading code by a
10 predetermined time,

a second phase adjusting means for delaying the
generated quadrature local spreading code by a
predetermined time,

a third phase adjusting means for advancing the
generated in-phase local spreading code by a
15 predetermined time,

a fourth phase adjusting means for advancing the
generated quadrature local spreading code by a
predetermined time,

20 a first multiplier for multiplying the local
signal by an output signal of the first phase adjusting
means,

a second multiplier for multiplying the local
signal by an output signal of the second phase adjusting
25 means,

a third multiplier for multiplying the local signal by an output signal of the third phase adjusting means,

5 a fourth multiplier for multiplying the local signal by an output signal of the fourth phase adjusting means,

a first adder for adding the received signal and an output signal of the first multiplier,

10 a second adder for adding the received signal and an output signal of the second multiplier,

a third adder for adding the received signal and an output signal of the third multiplier,

a fourth adder for adding the received signal and an output signal of the fourth multiplier,

15 a first detector for detecting a signal level of an output of the first adder,

a second detector for detecting a signal level of an output of the second adder,

20 a third detector for detecting a signal level of an output of the third adder,

a fourth detector for detecting a signal level of an output of the fourth adder,

25 a first filter for performing a predetermined filtering processing with respect to an output of a first detector,

a second filter for performing a predetermined filtering processing with respect to an output of a second detector,

5 a third filter for performing a predetermined filtering processing with respect to an output of a third detector,

a fourth filter for performing a predetermined filtering processing with respect to an output of a fourth detector,

10 a first norm circuit for computing a first norm based on outputs of the first and second filters,

a second norm circuit for computing a second norm based on outputs of the third and fourth filters, and

15 a control signal generating means for generating the control signal so as to reduce the difference between the first norm and second norm close to zero.

20 26. A spread spectrum receiver as set fourth in claim 25, wherein at least one of the first, second, third, and fourth detectors comprises a square-law detector.

27. A spread spectrum receiver as set fourth in claim 25, wherein the spreading code tracking means further comprises:

25 a mean for removing D.C. offset from outputs of

the first, second, third, and fourth filters.

28. A spread spectrum receiver as set forth in claim 18, wherein

the direct conversion circuit comprises:

5 a multiplier for multiplying the local signal by the local spreading code and outputting the same as the reference local signal,

a first phase shifter for shifting the received signal in phase,

10 a second phase shifter for shifting the reference local signal in phase,

a first adder for adding the reference local signal and an output signal of the first shifter,

15 a second adder for adding the received signal and an output signal of the second phase shifter,

a first detector for detecting a signal level of an output of the first adder, and

a second detector for detecting a signal level of an output of the second adder.

20 29. A spread spectrum receiver as set forth in claim 28, wherein

the direct conversion circuit further comprises:

25 a first filter for performing a predetermined filtering processing with respect to an output signal of the first detector, and

a second filter for performing a predetermined filtering processing with respect to an output signal of the second detector.

5 30. A spread spectrum receiver as set forth in claim 28, wherein

the direct conversion circuit further comprises:

a third detector for detecting a signal level of the received signal.

10 31. A spread spectrum receiver as set forth in claim 30, wherein

the direct conversion circuit further comprises:

a first filter for performing a predetermined filtering processing with respect to an output signal of the first detector,

15 a second filter for performing a predetermined filtering processing with respect to an output signal of the second detector, and

20 a third filter for performing a predetermined filtering processing with respect to an output signal of the third detector.

32. A spread spectrum receiver as set forth in claim 19, wherein

the direct conversion circuit comprises:

25 a quadrature modulator for modulating the local signal by the in-phase and quadrature local spreading

codes and outputting the same as the reference local signal,

a first phase shifter for shifting the received signal in phase,

5 a second phase shifter for shifting the reference local signal in phase,

a first adder for adding the reference local signal and an output signal of the first shifter,

a second adder for adding the received signal and an output signal of the second phase shifter,

10 a first detector for detecting a signal level of an output of the first adder, and

a second detector for detecting a signal level of an output of the second adder.

15 33. A spread spectrum receiver as set forth in claim 32, wherein

the direct conversion circuit further comprises:

a first filter for performing a predetermined filtering processing with respect to an output signal of the first detector and

20 a second filter for performing a predetermined filtering processing with respect to an output signal of the second detector.

25 34. A spread spectrum receiver as set forth in claim 32, wherein

the direct conversion circuit further comprises:

a third detector for detecting a signal level of the received signal.

35. A spread spectrum receiver as set forth in claim 34, wherein

the direct conversion circuit further comprises:

a first filter for performing a predetermined filtering processing with respect to an output signal of the first detector,

a second filter for performing a predetermined filtering processing with respect to an output signal of the second detector, and

a third filter for performing a predetermined filtering processing with respect to an output signal of the third detector.

36. A spread spectrum receiver as set forth in claim 17, wherein the spreading code included in the reference local signal is synchronized to the spreading code of the received signal.

37. A spread spectrum receiver as set forth in claim 17, wherein the carrier frequency of the received signal is approximately equal to the carrier frequency of the reference local signal.

38. A spread spectrum receiver for software radio receiving a spread spectrum signal spread in bandwidth

by a predetermined spreading code, comprising;

a local oscillator for outputting a local signal with a predetermined frequency,

5 a local spreading code tracking means for generating a local spreading code through a process, including digital processing, of synchronization and tracking based on the received signal and the local signal from the local oscillator, and

10 a direct conversion circuit for generating a reference local signal based on the local signal from the local oscillator and the local spreading code from the local spreading tracking means, generating two signals having a phase difference based on the received signal and the reference local signal, and disspreading
15 based on the two signals having a phase difference.

39. A spread spectrum receiver as set forth in claim 38, wherein

the local spreading code tracking means comprises:

20 a first local spreading code generator for generating an in-phase local spreading code based on a value of a control signal,

a second local spreading code generator for generating a quadrature local spreading code based on
25 the value of a control signal,

a first phase adjusting means for delaying the generated in-phase and quadrature local spreading codes by a predetermined time,

5 a second phase adjusting means for advancing the generated in-phase and quadrature local spreading codes by a predetermined time,

a first quadrature modulator for modulating the local signal by an output signals of the first phase adjusting means,

10 a second quadrature modulator for modulating the local signal by an output signal of the second phase adjusting means,

a first phase shifter for shifting the received signal in phase,

15 a second phase shifter for shifting an output signal of the first quadrature modulator in phase,

a third phase shifter for shifting an output signal of the second quadrature modulator in phase,

20 a fourth phase shifter for shifting the received signal in phase,

a first adder for adding an output signal of the first phase shifter and the output of the first quadrature modulator,

25 a second adder for adding the received signal and an output signal of the second phase shifter,

a third adder for adding the received signal and
an output signal of the third phase shifter,

a fourth adder for adding the output signal of
the second quadrature modulator and an output signal of
5 the fourth phase shifter,

a first detector for detecting a signal level of
an output of the first adder,

a second detector for detecting a signal level
of an output of the second adder,

10 a third detector for detecting a signal level of
an output of the third adder,

a fourth detector for detecting a signal level
of an output of the fourth adder,

a first filter for performing a predetermined
15 filtering processing with respect to an output of a
first detector,

a second filter for performing a predetermined
filtering processing with respect to an output of a
second detector,

20 a third filter for performing a predetermined
filtering processing with respect to an output of a
third detector,

a fourth filter for performing a predetermined
filtering processing with respect to an output of a
25 fourth detector,

a first analog to digital (A/D) converting means
for converting output analog signals of the first and
second filters to digital signals,

5 a second A/D converting means for converting
outputs analog signals of the third and fourth filters
to digital signals, and

a digital processing means for generating the
control signal so as to reduce the difference between
the outputs of the first A/D converting means and second
10 A/D converting means close to zero.

40. A spread spectrum receiver as set fourth in
claim 39, wherein at least one of the first, second,
third, and fourth detectors comprises a square-law
detector.

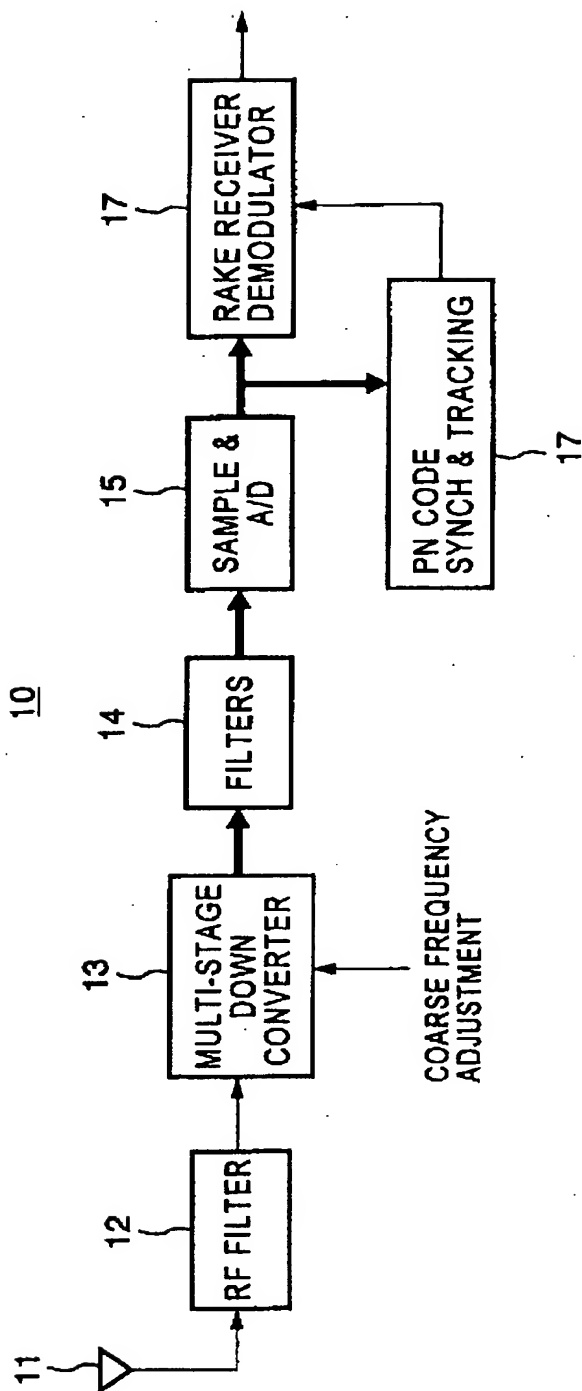
15

【書類名】

外国語図面

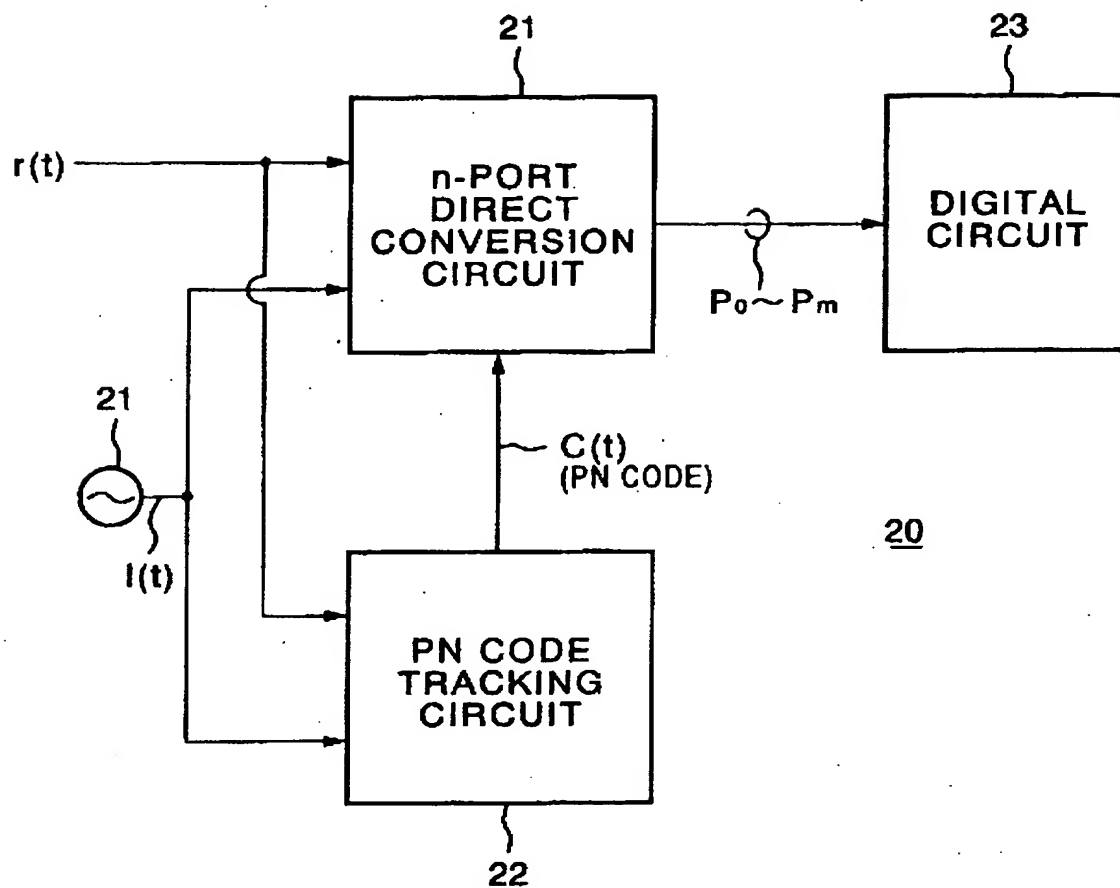
【図 1】

FIG.1



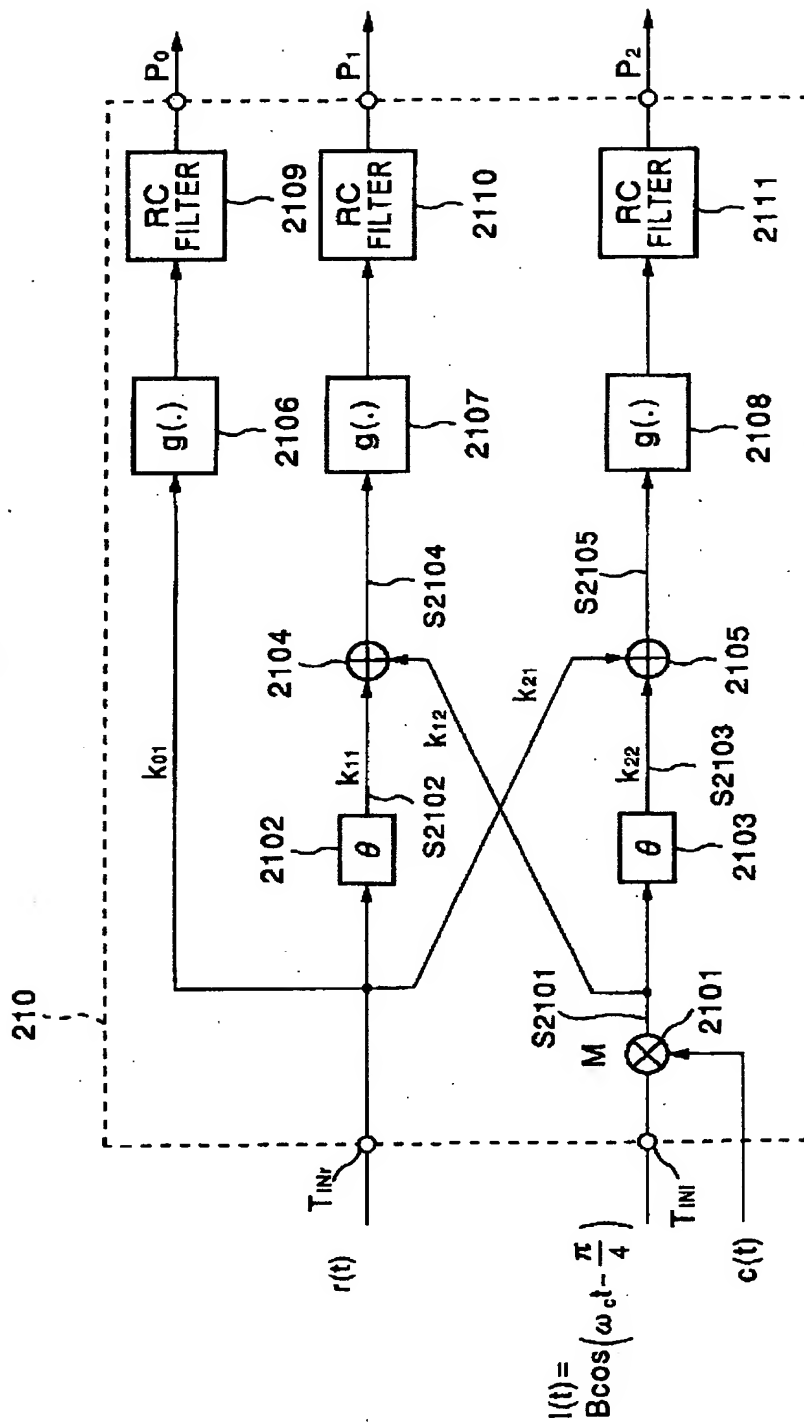
【図2】

FIG.2



【図3】

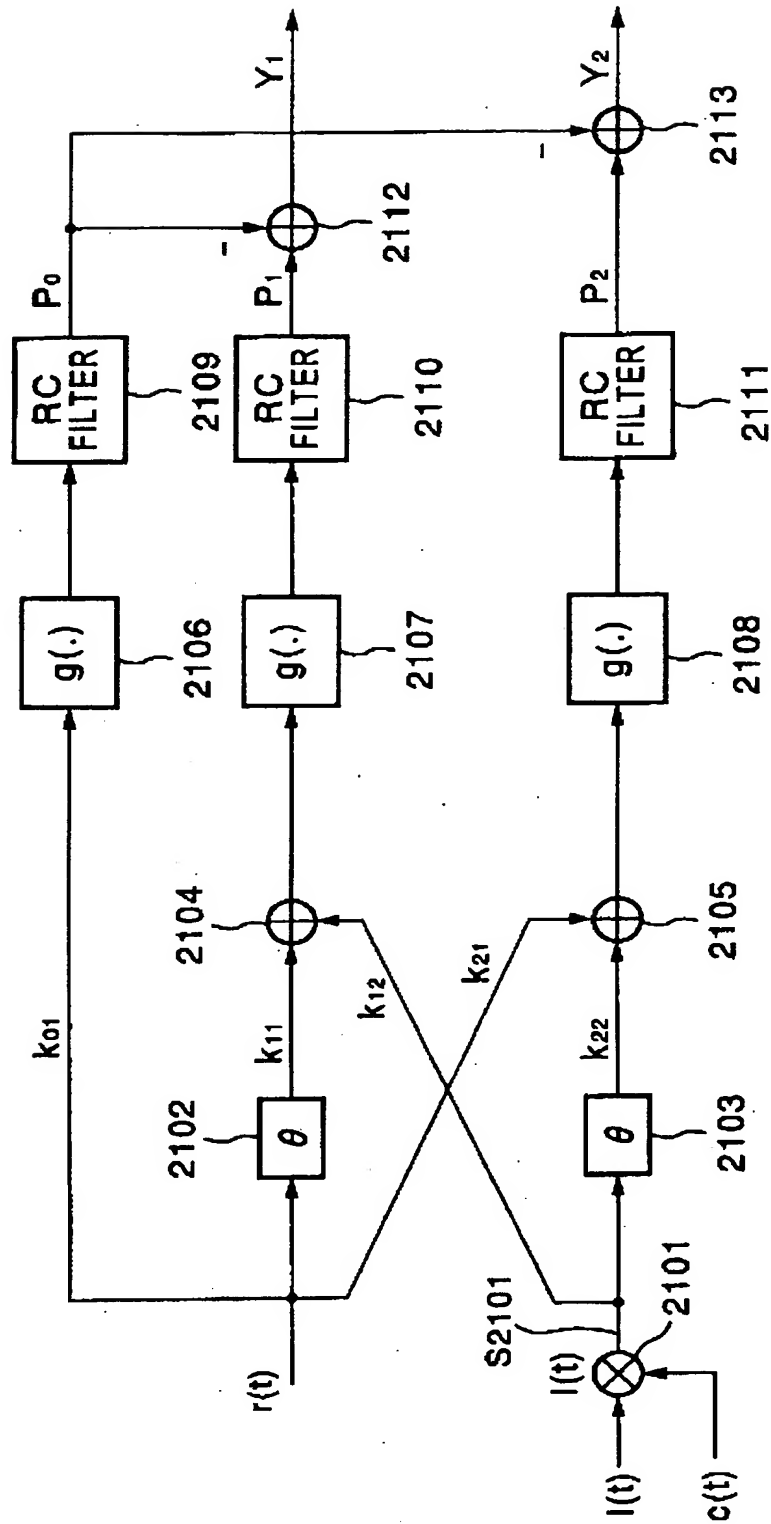
FIG.3



【図4】

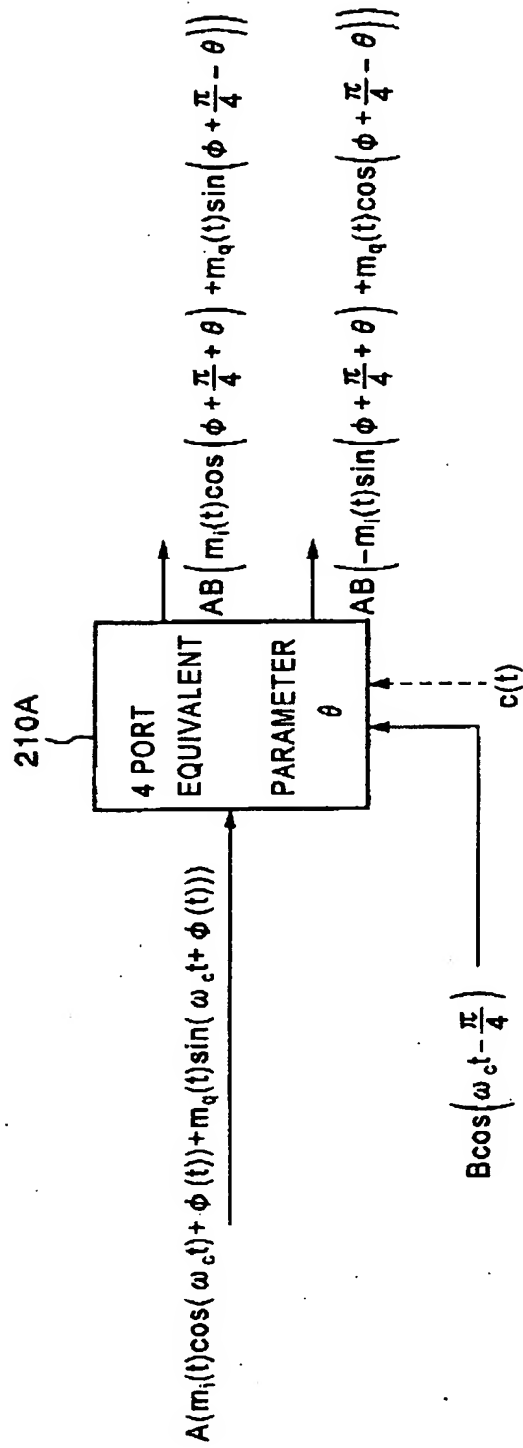
FIG.4

210A



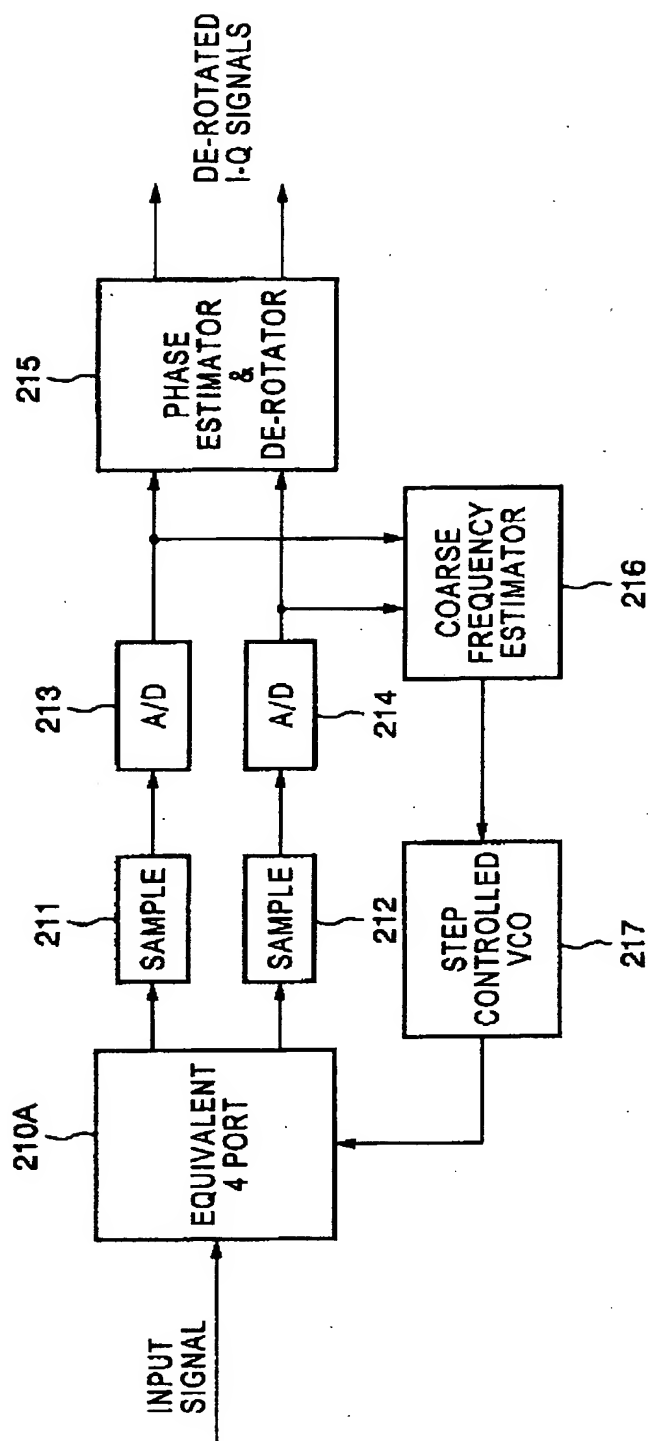
【図 5】

FIG.5



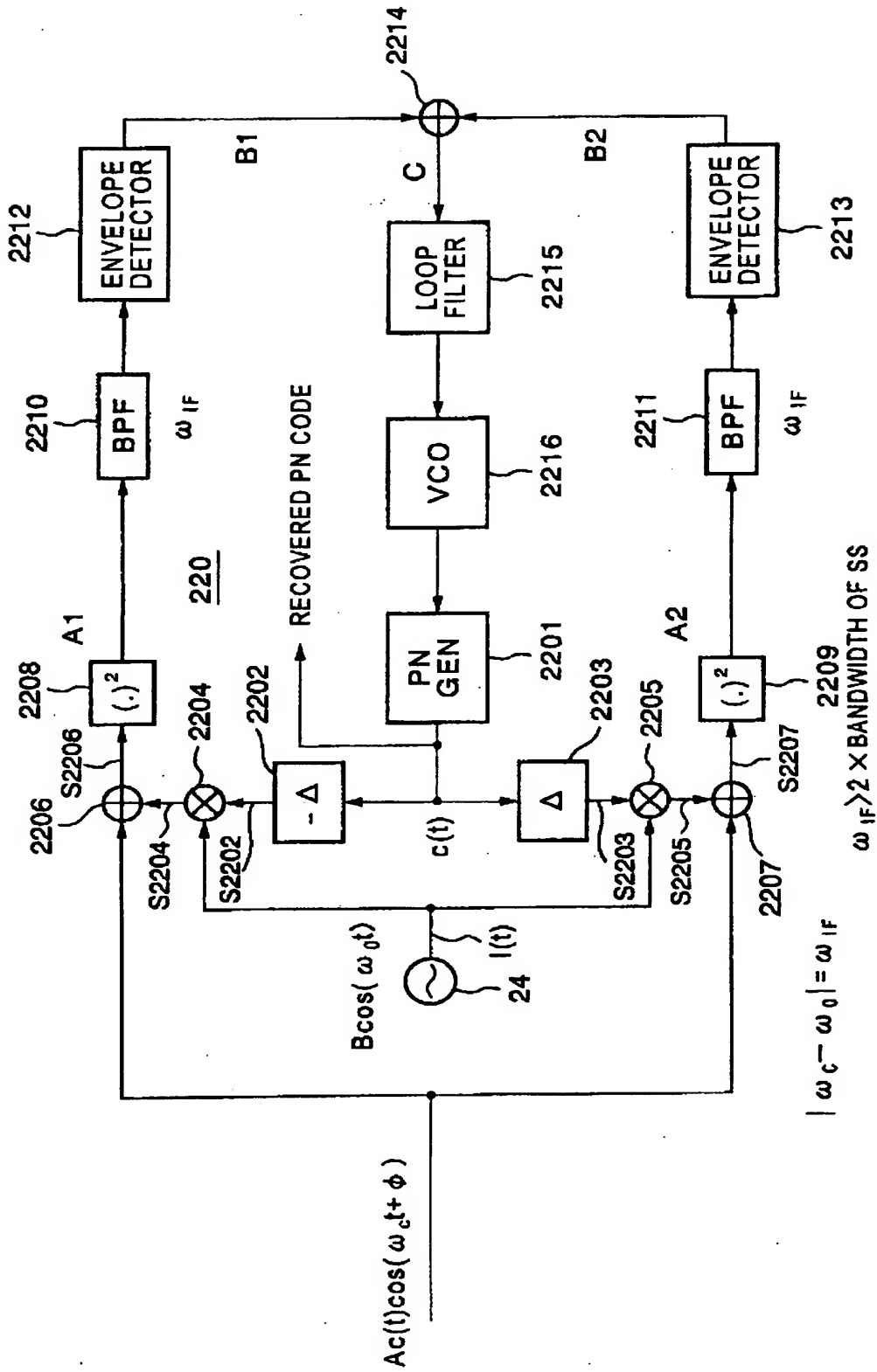
【図 6】

FIG.6



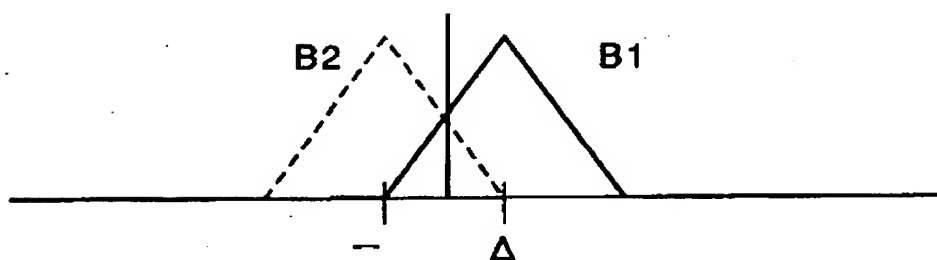
【図 7】

FIG.7



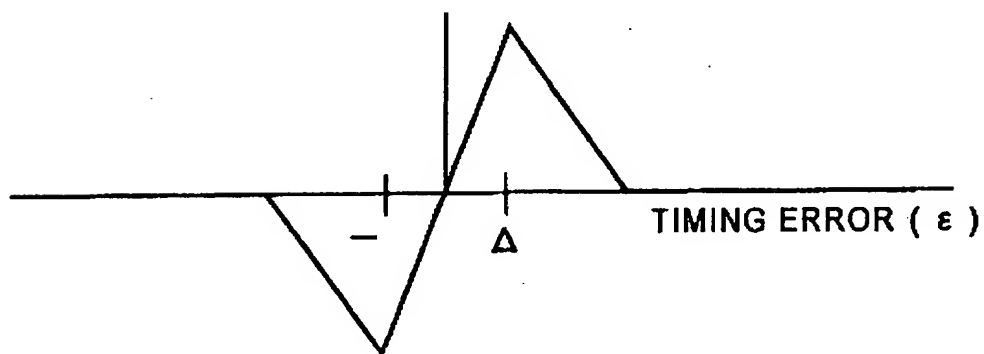
【図 8】

FIG.8



【図 9】

FIG.9



【☒ 10】

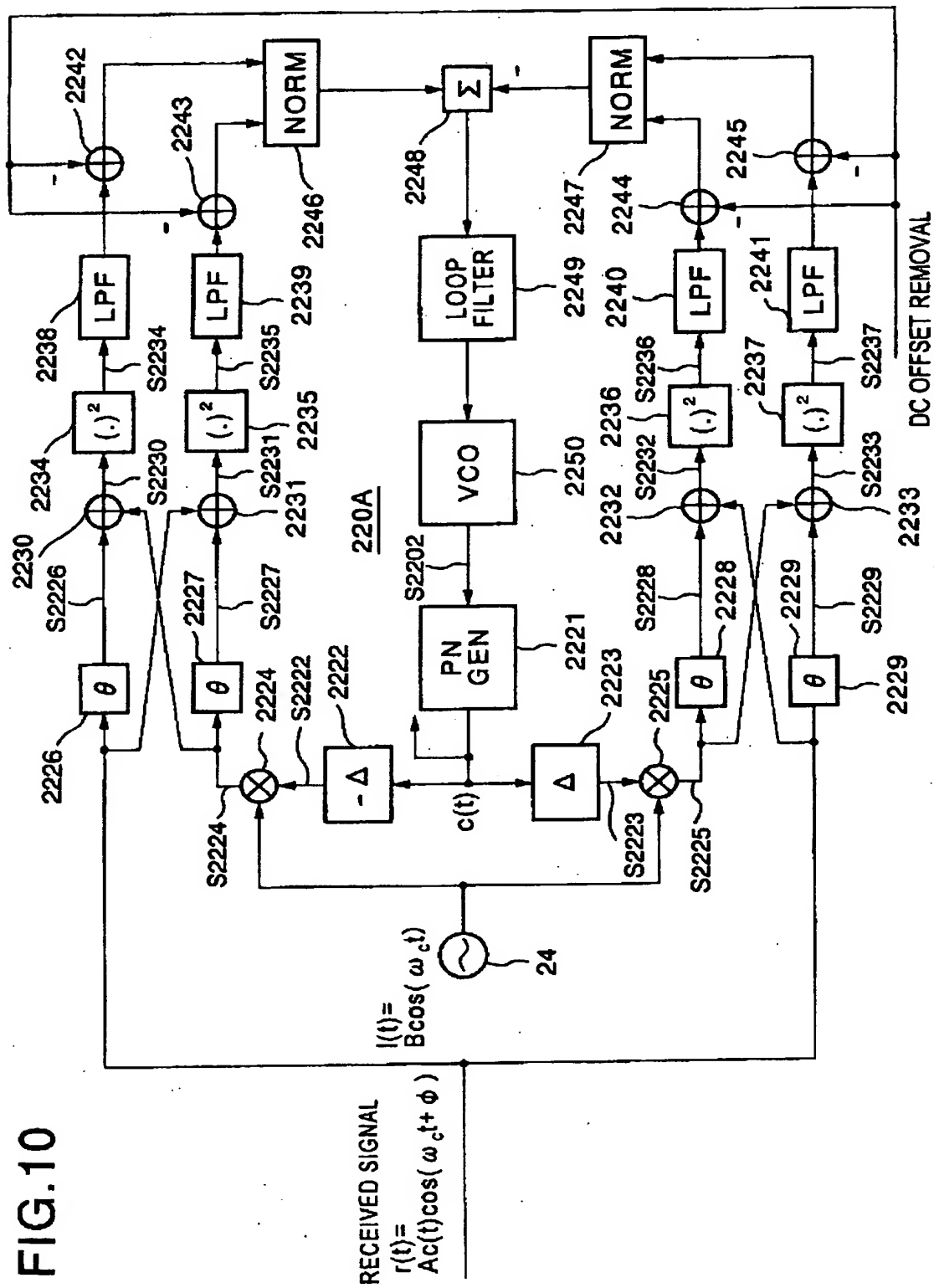
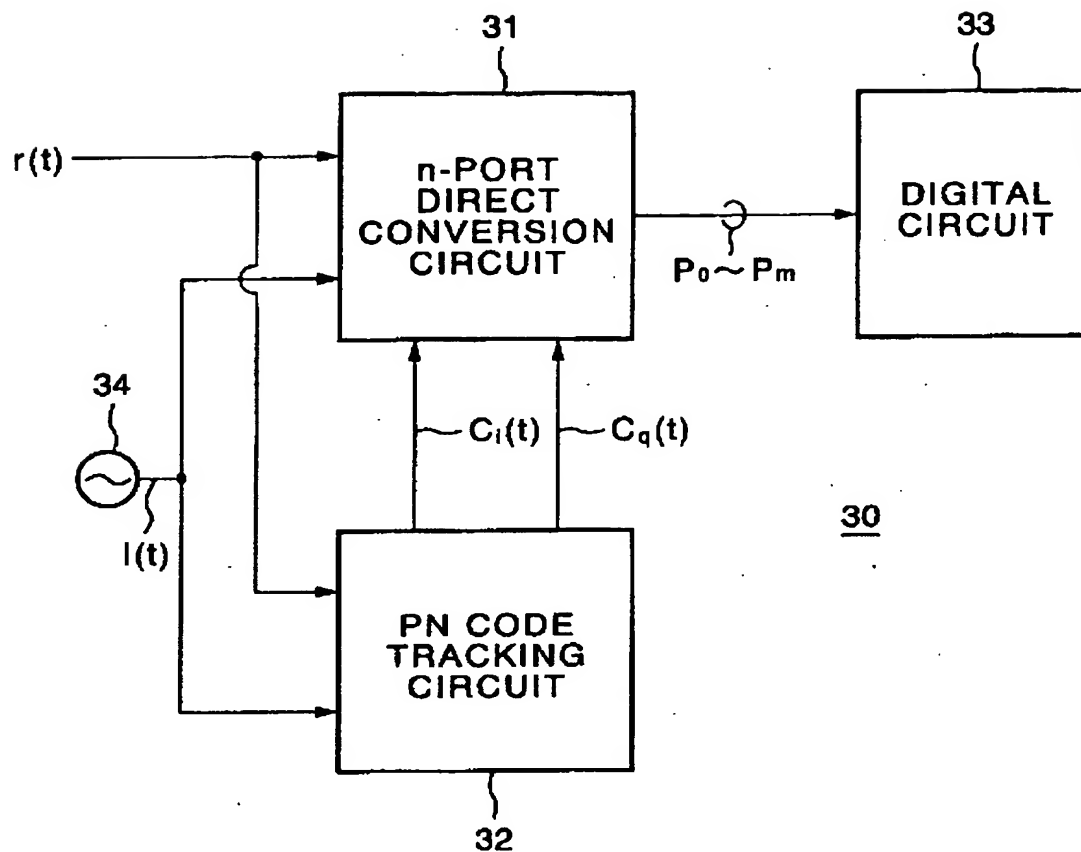


FIG. 10

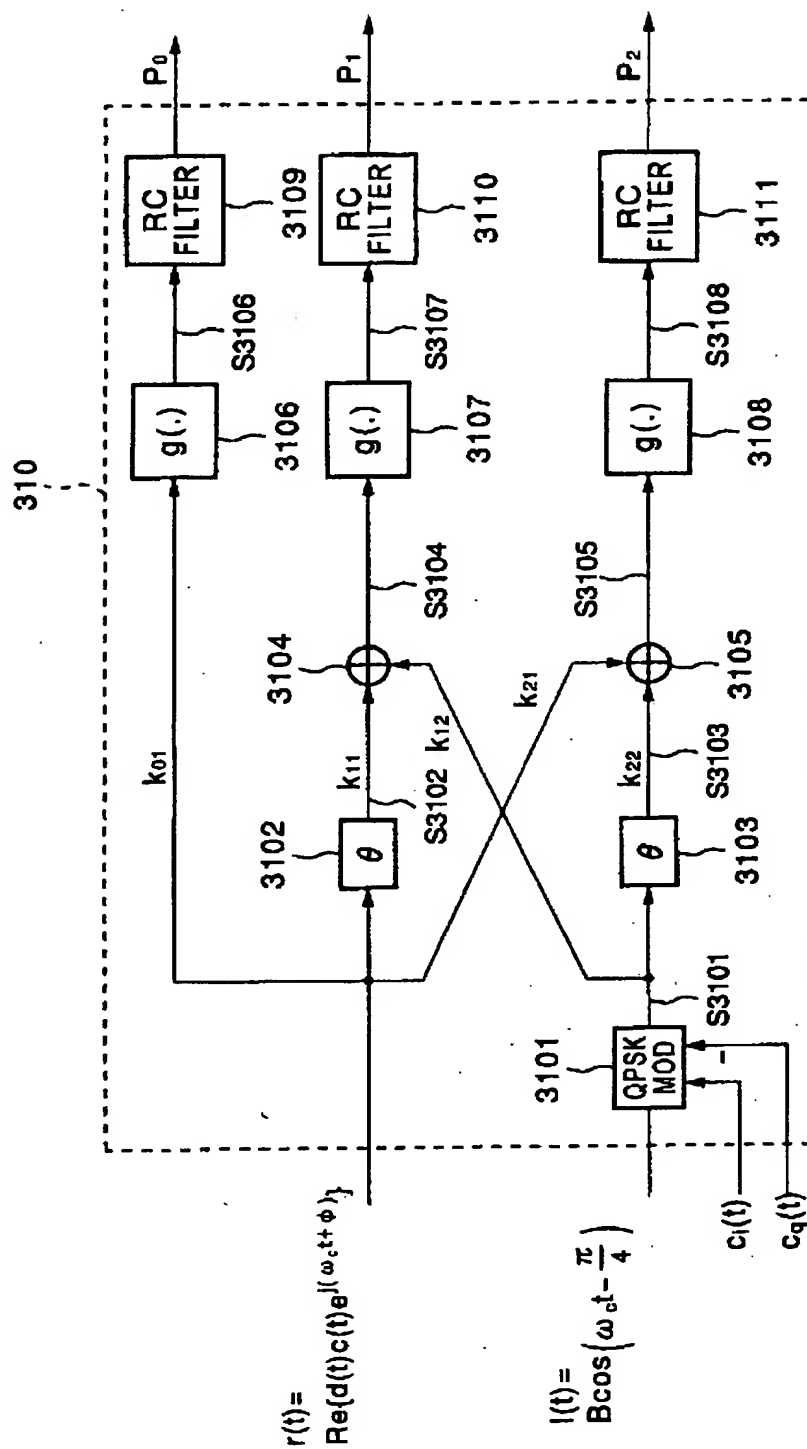
【図11】

FIG.11

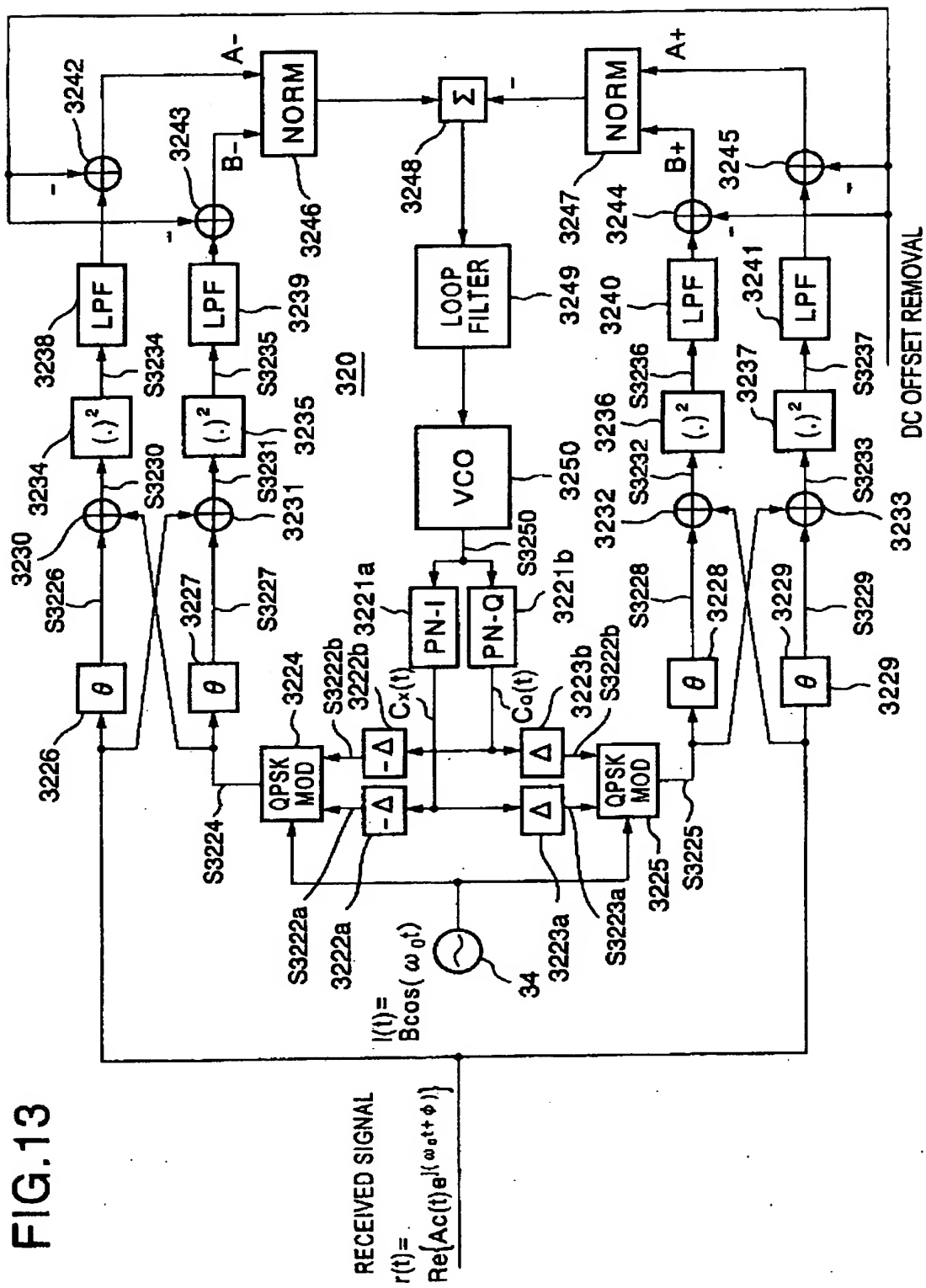


【図 12】

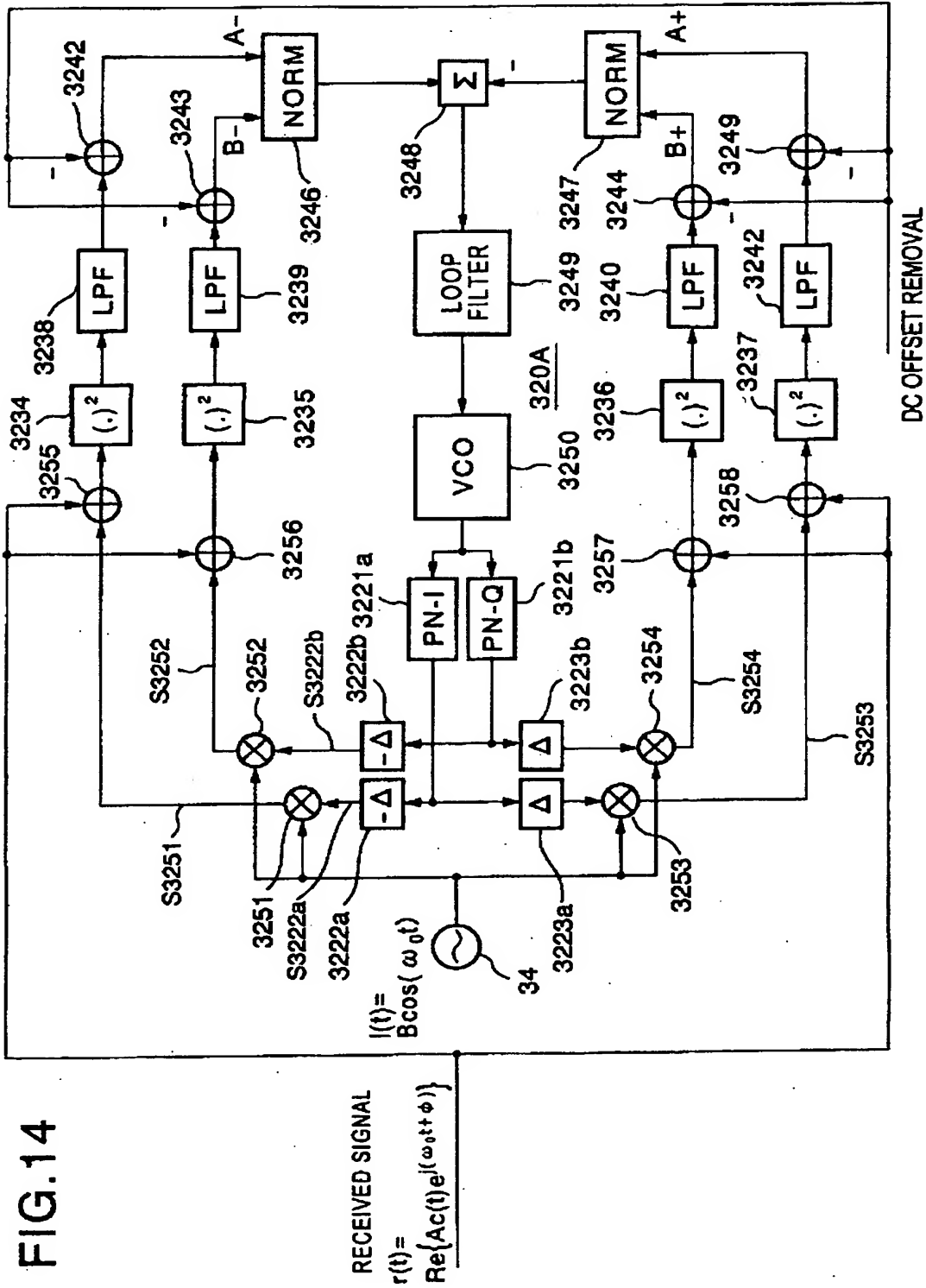
FIG.12



【図13】

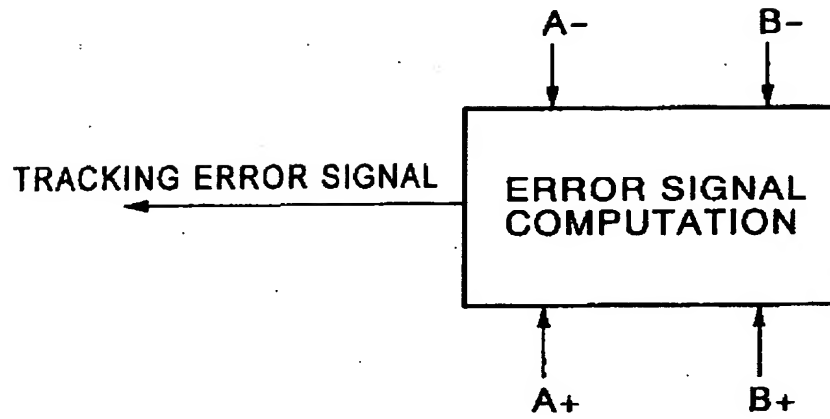


【図 1 4】



【図 1 5】

FIG.15



【图 16】

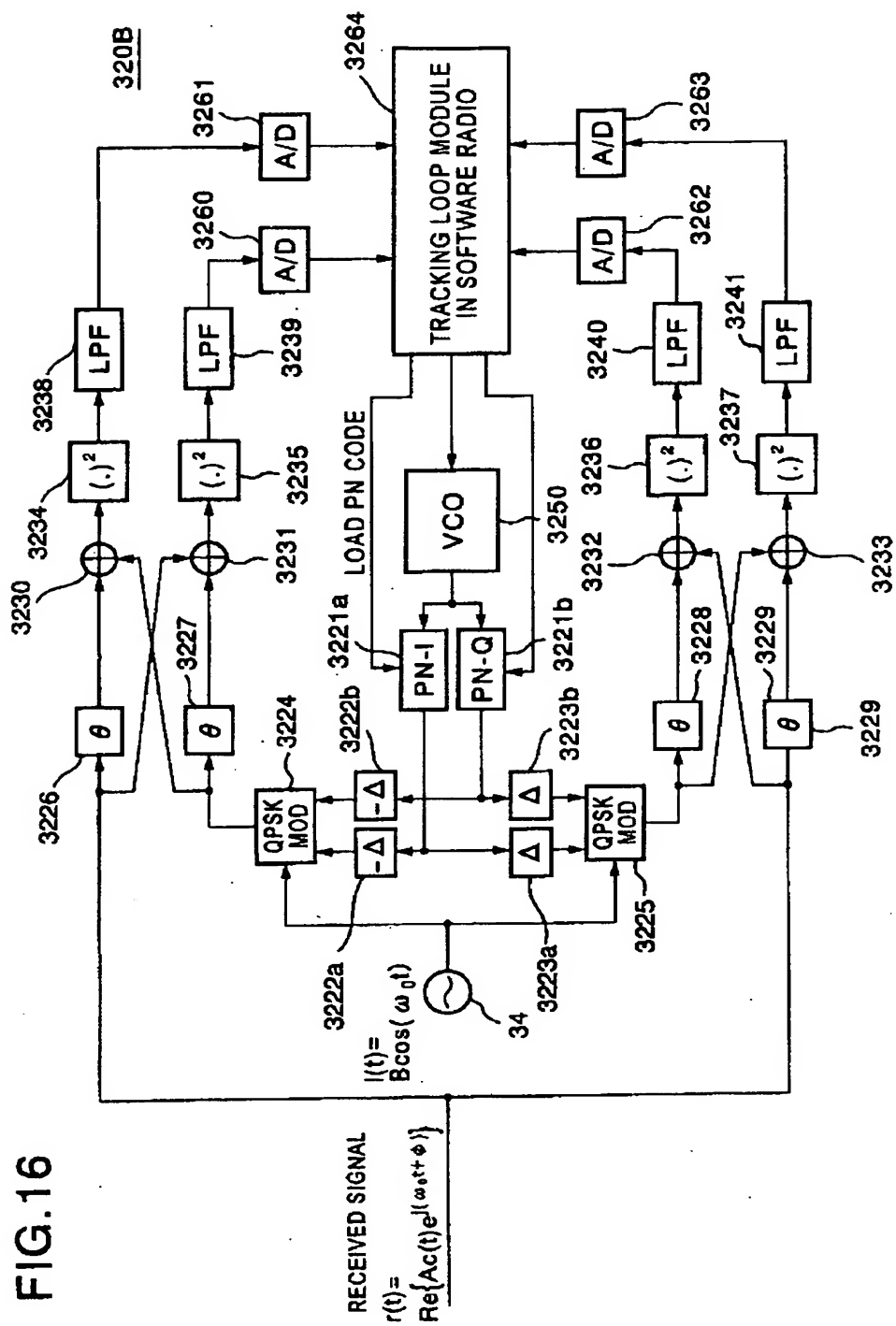
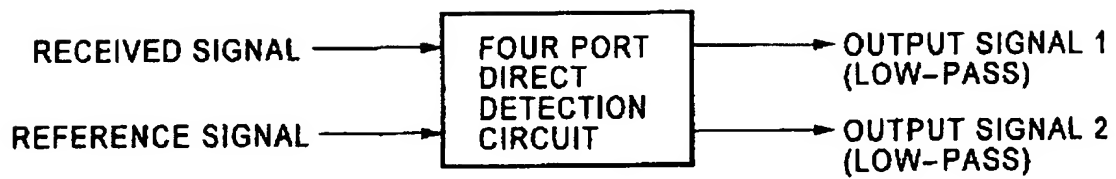


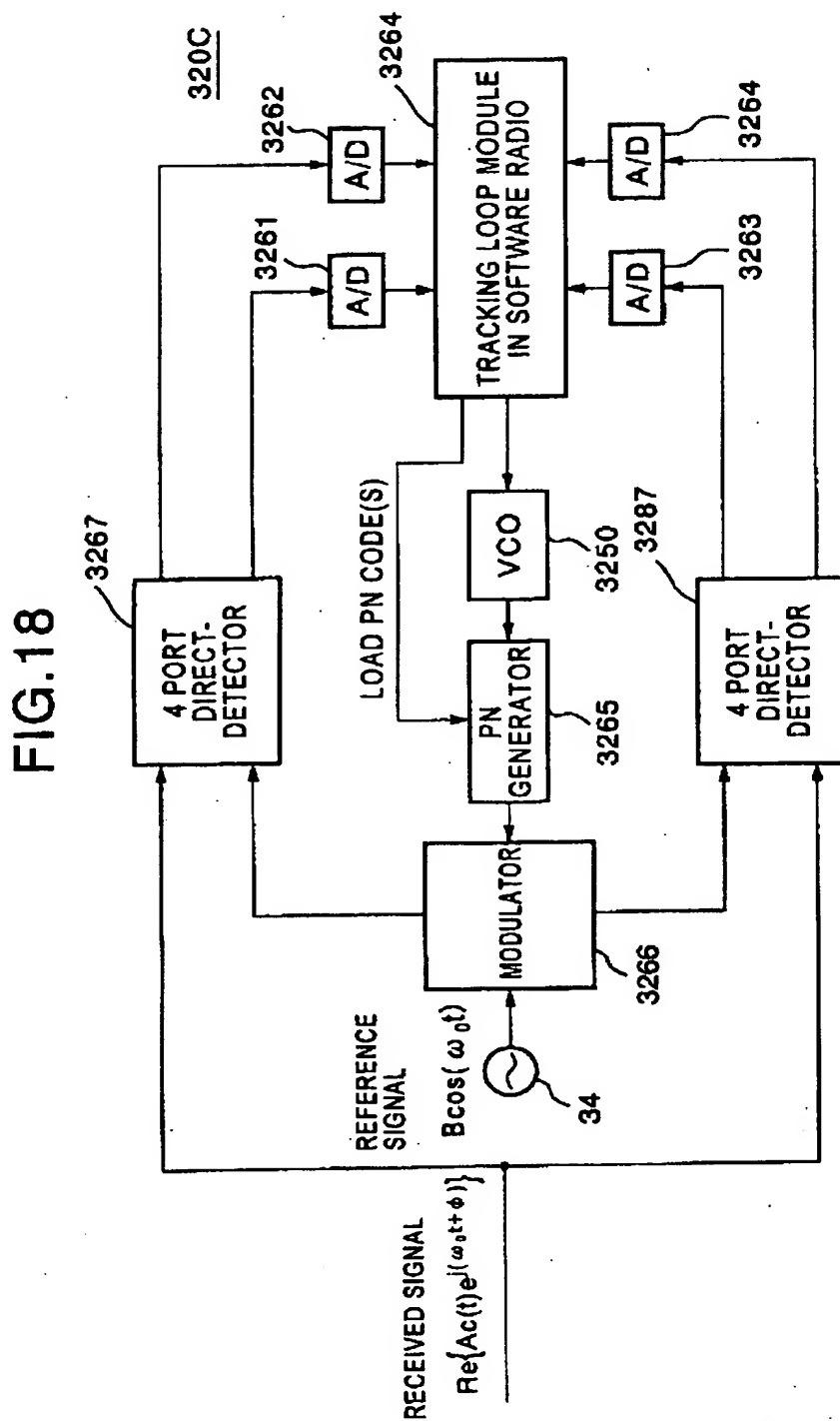
FIG. 16

【図 1 7】

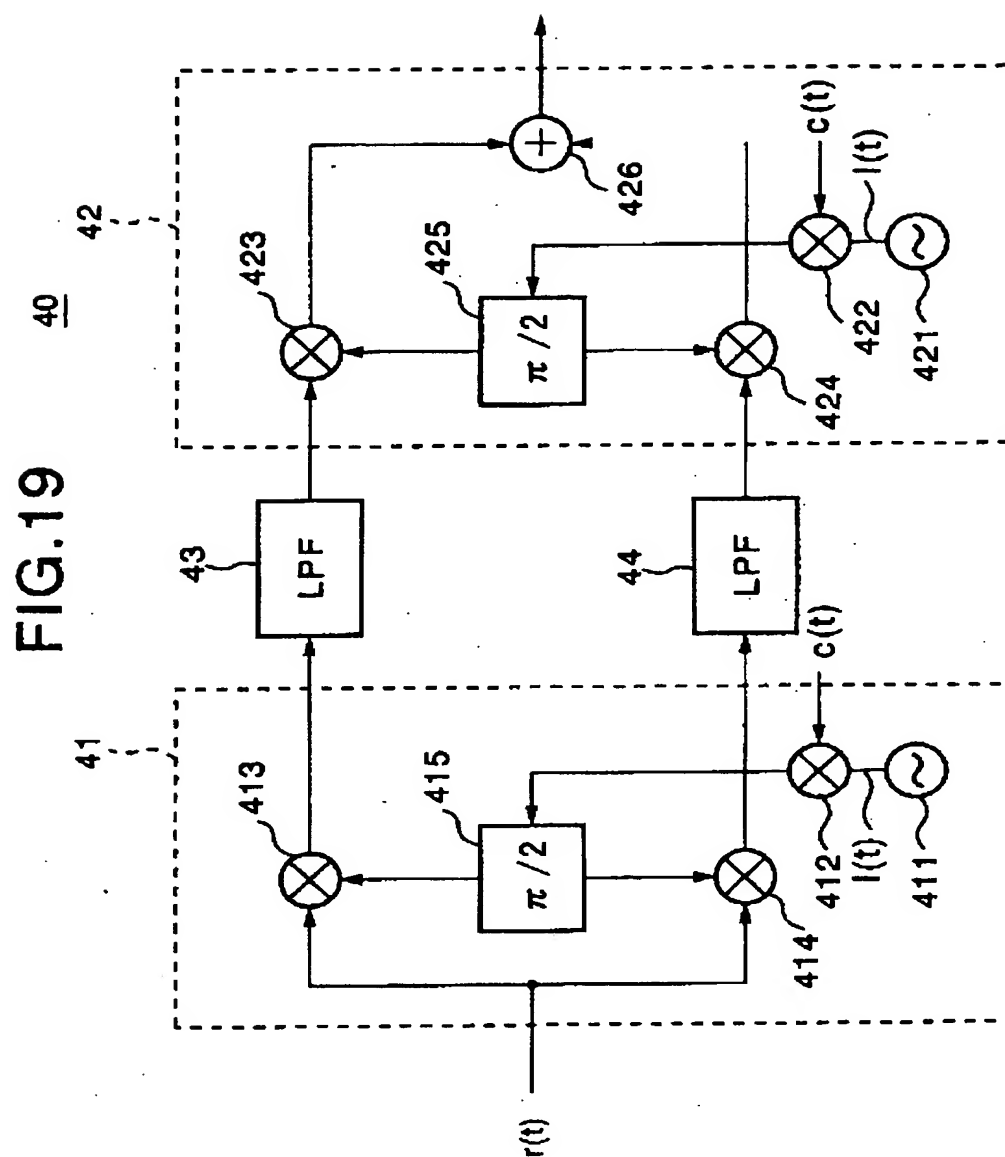
FIG.17



【図18】



【図19】



【書類名】 外国語要約書

ABSTRACT OF THE DISCLOSURE

5 The spread spectrum receiver employs circuit 21, 31,
etc. based on direct conversion techniques. These
circuits enable realization of spread spectrum receivers
of greatly reduced complexity and of much higher chip
rates than can be implemented with the standard approach
10 of a fully digital receiver. With these circuits, the
digital processing at the receiver is performed at the
data symbol rate and not at a multiple of the chip rate
that is customary in state-of-the art spread spectrum
and CDMA receiver design.

15 [Representative Drawing] Fig.2

【書類名】 翻訳文提出書

【提出日】 平成12年12月25日

【あて先】 特許庁長官殿

【出願の表示】

 【出願番号】 特願2000-363847

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100094053

 【弁理士】

 【氏名又は名称】 佐藤 隆久

【確認事項】 本書に添付した翻訳文は、特願 2 0 0 0 - 3 6 3 8 4 7
の正確な日本語への翻訳文であり、当該特許出願に記載
されていない事項が本書に添付した翻訳文に記載されて
いる場合には、当該出願が拒絶又は無効となる可能性が
あると承知していることを申し述べる。

【提出物件の目録】

 【物件名】 外国語明細書の翻訳文 1

 【物件名】 外国語図面の翻訳文 1

 【物件名】 外国語要約書の翻訳文 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スペクトル拡散受信機

【特許請求の範囲】

【請求項 1】 所定の拡散コードによりある帯域に拡散されたスペクトル拡散信号を受信するスペクトル拡散受信機であって、

所定周波数のローカル信号を出力するローカル発振器と、

受信信号の拡散コードに応じてローカル拡散コードを生成するローカル拡散コード生成手段と、

上記ローカル発振器によるローカル信号および上記ローカル拡散コード生成手段によるローカル拡散コードに基づいてリファレンスローカル信号を生成し、受信信号および上記リファレンスローカル信号に基づいて位相差を有する 2 つの信号を生成し、上記位相差を持つ 2 つの信号に基づいて逆拡散を行うダイレクトコンバージョン回路と

を有するスペクトル拡散受信機。

【請求項 2】 上記ダイレクトコンバージョン回路は、

上記ローカル信号と上記ローカル拡散コードを乗算し、リファレンスローカル信号として出力する乗算器と、

受信信号の位相をシフトする第 1 の位相シフタと、

上記リファレンスローカル信号の位相をシフトする第 2 の位相シフタと、

上記リファレンスローカル信号と上記第 1 の位相シフタの出力信号とを加算する第 1 の加算器と、

受信信号と上記第 2 の位相シフタの出力信号とを加算する第 2 の加算器と、

上記第 1 の加算器の出力の信号レベルを検波する第 1 の検波器と、

上記第 2 の加算器の出力の信号レベルを検波する第 2 の検波器と

を有する請求項 1 記載のスペクトル拡散受信機。

【請求項 3】 上記ダイレクトコンバージョン回路は、

上記第 1 の検波器の出力信号に対して所定のフィルタリング処理を行う第 1 のフィルタと、

上記第 2 の検波器の出力信号に対して所定のフィルタリング処理を行う第 2 の

フィルタと

をさらに有する請求項 2 記載のスペクトル拡散受信機。

【請求項 4】 上記ダイレクトコンバージョン回路は、
受信信号の信号レベルを検波する第 3 の検波器

をさらに有する請求項 2 記載のスペクトル拡散受信機。

【請求項 5】 上記ダイレクトコンバージョン回路は、
上記第 1 の検波器の出力信号に対して所定のフィルタリング処理を行う第 1 の
フィルタと、

上記第 2 の検波器の出力信号に対して所定のフィルタリング処理を行う第 2 の
フィルタと、

上記第 3 の検波器の出力信号に対して所定のフィルタリング処理を行う第 3 の
フィルタと

をさらに有する請求項 4 記載のスペクトル拡散受信機。

【請求項 6】 上記ダイレクトコンバージョン回路は、
上記ローカル拡散コードにより上記ローカル信号を変調し、リファレンスロー
カル信号として出力する変調器と、

受信信号の位相をシフトする第 1 の位相シフタと、

上記リファレンスローカル信号の位相をシフトする第 2 の位相シフタと、

上記リファレンスローカル信号と上記第 1 の位相シフタの出力信号とを加算す
る第 1 の加算器と、

受信信号と上記第 2 の位相シフタの出力信号とを加算する第 2 の加算器と、

上記第 1 の加算器の出力の信号レベルを検波する第 1 の検波器と、

上記第 2 の加算器の出力の信号レベルを検波する第 2 の検波器と

を有する請求項 1 記載のスペクトル拡散受信機。

【請求項 7】 上記ダイレクトコンバージョン回路は、
上記第 1 の検波器の出力信号に対して所定のフィルタリング処理を行う第 1 の
フィルタと、

上記第 2 の検波器の出力信号に対して所定のフィルタリング処理を行う第 2 の
フィルタと

をさらに有する請求項 6 記載のスペクトル拡散受信機。

【請求項 8】 上記ダイレクトコンバージョン回路は、
受信信号の信号レベルを検波する第 3 の検波器

をさらに有する請求項 6 記載のスペクトル拡散受信機。

【請求項 9】 上記ダイレクトコンバージョン回路は、
上記第 1 の検波器の出力信号に対して所定のフィルタリング処理を行う第 1 の
フィルタと、

上記第 2 の検波器の出力信号に対して所定のフィルタリング処理を行う第 2 の
フィルタと、

上記第 3 の検波器の出力信号に対して所定のフィルタリング処理を行う第 3 の
フィルタと

をさらに有する請求項 8 記載のスペクトル拡散受信機。

【請求項 10】 上記変調器は直交変調器を有する
請求項 6 記載のスペクトル拡散受信機。

【請求項 11】 上記リファレンスローカル信号に含まれる拡散コードは、
受信信号の拡散コードに同期している
請求項 1 記載のスペクトル拡散受信機。

【請求項 12】 上記受信信号のキャリア周波数は、上記リファレンスロー
カル信号のキャリア周波数に略等しい
請求項 1 記載のスペクトル拡散受信機。

【請求項 13】 少なくとも第 1 の検波器と第 2 の検波器の一つは、二乗検
波器を有する

請求項 2 記載のスペクトル拡散受信機。

【請求項 14】 少なくとも第 1、第 2、および第 3 の検波器の一つは、二
乗検波器を有する

請求項 2 記載のスペクトル拡散受信機。

【請求項 15】 少なくとも第 1 の検波器と第 2 の検波器の一つは、二乗検
波器を有する

請求項 6 記載のスペクトル拡散受信機。

【請求項 1 6】 少なくとも第 1、第 2、および第 3 の検波器の一つは、二乗検波器を有する

請求項 8 記載のスペクトル拡散受信機。

【請求項 1 7】 所定の拡散コードによりある帯域に拡散されたスペクトル拡散信号を受信するスペクトル拡散受信機であって、

所定周波数のローカル信号を出力するローカル発振器と、

受信信号および上記ローカル発振器によるローカル信号に基づいて同期および同期保持処理を介してローカル拡散コードを生成するローカル拡散コード同期保持手段と、

上記ローカル発振器によるローカル信号および上記ローカル拡散コード同期保持手段によるローカル拡散コードに基づいてリファレンスローカル信号を生成し、受信信号および上記リファレンスローカル信号に基づいて位相差を有する 2 つの信号を生成し、上記位相差を持つ 2 つの信号に基づいて逆拡散を行うダイレクトコンバージョン回路と

を有するスペクトル拡散受信機。

【請求項 1 8】 上記ローカル拡散コード同期保持回路は、

制御信号の値に基づいて上記ローカル拡散コードを生成するローカル拡散コード生成器と、

所定の時間だけ上記生成されたローカル拡散コードを遅延させる第 1 の位相調整手段と、

所定の時間だけ上記生成されたローカル拡散コードを進行させる第 2 の位相調整手段と、

上記ローカル信号と上記第 1 の位相調整手段の出力信号を乗算する第 1 の乗算器と、

上記ローカル信号と上記第 2 の位相調整手段の出力信号を乗算する第 2 の乗算器と、

上記受信信号と上記第 1 の乗算器の出力信号とを加算する第 1 の加算器と、

上記第 1 の加算器の出力信号の振幅成分を検波する第 1 の検波器と、

上記第 1 の検波器の出力信号の第 1 のエンベロープを検波する第 1 のエンベロ

ープ検波手段と、

上記受信信号と上記第 2 の乗算器の出力信号とを加算する第 2 の加算器と、

上記第 2 の加算器の出力信号の振幅成分を検波する第 1 の検波器と、

上記第 2 の検波器の出力信号の第 2 のエンベロープを検波する第 2 のエンベロープ検波手段と、

上記第 1 のエンベロープと第 2 のエンベロープ間の差がゼロに近づいて減少するように上記制御信号を生成する制御信号生成手段と

を有する請求項 1 7 記載のスペクトル拡散受信機。

【請求項 1 9】 上記ローカル拡散コード同期保持回路は、

制御信号の値に基づいて上記ローカル拡散コードを生成するローカル拡散コード生成器と、

所定の時間だけ上記生成されたローカル拡散コードを遅延させる第 1 の位相調整手段と、

所定の時間だけ上記生成されたローカル拡散コードを進行させる第 2 の位相調整手段と、

上記ローカル信号と上記第 1 の位相調整手段の出力信号を乗算する第 1 の乗算器と、

上記ローカル信号と上記第 2 の位相調整手段の出力信号を乗算する第 2 の乗算器と、

上記受信信号の位相をシフトする第 1 の位相シフタと、

上記第 1 の乗算器の出力信号の位相をシフトする第 2 の位相シフタと、

上記第 2 の乗算器の出力信号の位相をシフトする第 3 の位相シフタと、

上記受信信号の位相をシフトする第 4 の位相シフタと、

上記第 1 の位相シフタの出力信号と上記第 1 の乗算器の出力信号とを加算する第 1 の加算器と、

上記受信信号と上記第 2 の位相シフタの出力信号とを加算する第 2 の加算器と

上記受信信号と上記第 3 の位相シフタの出力信号とを加算する第 3 の加算器と

上記第 2 の乗算器の出力信号と上記第 4 の位相シフタの出力信号とを加算する第 4 の加算器と、

上記第 1 の加算器の出力信号の信号レベルを検波する第 1 の検波器と、

上記第 2 の加算器の出力信号の信号レベルを検波する第 2 の検波器と、

上記第 3 の加算器の出力信号の信号レベルを検波する第 3 の検波器と、

上記第 4 の加算器の出力信号の信号レベルを検波する第 4 の検波器と、

上記第 1 の検波器の出力に対して所定のフィルタリング処理を行う第 1 のフィルタと、

上記第 2 の検波器の出力に対して所定のフィルタリング処理を行う第 2 のフィルタと、

上記第 3 の検波器の出力に対して所定のフィルタリング処理を行う第 3 のフィルタと、

上記第 4 の検波器の出力に対して所定のフィルタリング処理を行う第 4 のフィルタと、

上記第 1 および第 2 のフィルタの出力に基づいて第 1 のノルムを計算する第 1 のノルム回路と、

上記第 3 および第 4 のフィルタの出力に基づいて第 2 のノルムを計算する第 2 のノルム回路と、

上記第 1 のノルムと第 2 のノルム間の差がゼロに近づいて減少するように上記制御信号を生成する制御信号生成手段と

を有する請求項 1 7 記載のスペクトル拡散受信機。

【請求項 2 0】 少なくとも上記第 1、第 2、第 3、および第 4 の検波器の一つは二乗検波器を有する

請求項 1 9 記載のスペクトル拡散受信機。

【請求項 2 1】 上記ローカル拡散コード同期保持回路は、

上記第 1、第 2、第 3、および第 4 のフィルタの出力から DC オフセットを除去する手段

を有する請求項 1 9 記載のスペクトル拡散受信機。

【請求項 2 2】 上記ローカル拡散コード同期保持回路は、

制御信号の値に基づいて上記同相ローカル拡散コードを生成する第 1 のローカル拡散コード生成器と、

制御信号の値に基づいて上記直交ローカル拡散コードを生成する第 2 のローカル拡散コード生成器と、

所定の時間だけ上記生成された同相および直交ローカル拡散コードを遅延させる第 1 の位相調整手段と、

所定の時間だけ上記生成された同相および直交ローカル拡散コードを進行させる第 2 の位相調整手段と、

上記第 1 の位相調整手段の出力信号により上記ローカル信号を変調する第 1 の直交変調器と、

上記第 2 の位相調整手段の出力信号により上記ローカル信号を変調する第 2 の直交変調器と、

上記受信信号の位相をシフトする第 1 の位相シフタと、

上記第 1 の直交変調器の出力信号の位相をシフトする第 2 の位相シフタと、

上記第 2 の直交変調器の出力信号の位相をシフトする第 3 の位相シフタと、

上記受信信号の位相をシフトする第 4 の位相シフタと、

上記第 1 の位相シフタの出力信号と上記第 1 の直交変調器の出力信号とを加算する第 1 の加算器と、

上記受信信号と上記第 2 の位相シフタの出力信号とを加算する第 2 の加算器と

上記受信信号と上記第 3 の位相シフタの出力信号とを加算する第 3 の加算器と

上記第 2 の直交変調器の出力信号と上記第 4 の位相シフタの出力信号とを加算する第 4 の加算器と、

上記第 1 の加算器の出力信号の信号レベルを検波する第 1 の検波器と、

上記第 2 の加算器の出力信号の信号レベルを検波する第 2 の検波器と、

上記第 3 の加算器の出力信号の信号レベルを検波する第 3 の検波器と、

上記第 4 の加算器の出力信号の信号レベルを検波する第 4 の検波器と、

上記第 1 の検波器の出力に対して所定のフィルタリング処理を行う第 1 のフィ

ルタと、

上記第 2 の検波器の出力に対して所定のフィルタリング処理を行う第 2 のフィルタと、

上記第 3 の検波器の出力に対して所定のフィルタリング処理を行う第 3 のフィルタと、

上記第 4 の検波器の出力に対して所定のフィルタリング処理を行う第 4 のフィルタと、

上記第 1 および第 2 のフィルタの出力に基づいて第 1 のノルムを計算する第 1 のノルム回路と、

上記第 3 および第 4 のフィルタの出力に基づいて第 2 のノルムを計算する第 2 のノルム回路と、

上記第 1 のノルムと第 2 のノルム間の差がゼロに近づいて減少するように上記制御信号を生成する制御信号生成手段と

を有する請求項 1 7 記載のスペクトル拡散受信機。

【請求項 2 3】 少なくとも上記第 1、第 2、第 3、および第 4 の検波器の一つは二乗検波器を有する

請求項 2 2 記載のスペクトル拡散受信機。

【請求項 2 4】 上記ローカル拡散コード同期保持回路は、

上記第 1、第 2、第 3、および第 4 のフィルタの出力から DC オフセットを除去する手段

を有する請求項 2 2 記載のスペクトル拡散受信機。

【請求項 2 5】 上記ローカル拡散コード同期保持回路は、

制御信号の値に基づいて上記同相ローカル拡散コードを生成する第 1 のローカル拡散コード生成器と、

制御信号の値に基づいて上記直交ローカル拡散コードを生成する第 2 のローカル拡散コード生成器と、

所定の時間だけ上記生成された同相ローカル拡散コードを遅延させる第 1 の位相調整手段と、

所定の時間だけ上記生成された直交ローカル拡散コードを遅延させる第 2 の位

相調整手段と、

所定の時間だけ上記生成された同相ローカル拡散コードを進行させる第 3 の位相調整手段と、

所定の時間だけ上記生成された直交ローカル拡散コードを進行させる第 4 の位相調整手段と、

上記ローカル信号と上記第 1 の位相調整手段の出力信号を乗算する第 1 の乗算器と、

上記ローカル信号と上記第 2 の位相調整手段の出力信号を乗算する第 2 の乗算器と、

上記ローカル信号と上記第 3 の位相調整手段の出力信号を乗算する第 3 の乗算器と、

上記ローカル信号と上記第 4 の位相調整手段の出力信号を乗算する第 4 の乗算器と、

上記受信信号と上記第 1 の乗算器の出力信号とを加算する第 1 の加算器と、

上記受信信号と上記第 2 の乗算器の出力信号とを加算する第 2 の加算器と、

上記受信信号と上記第 3 の乗算器の出力信号とを加算する第 3 の加算器と、

上記受信信号と上記第 4 の乗算器の出力信号とを加算する第 4 の加算器と、

上記第 1 の加算器の出力信号の信号レベルを検波する第 1 の検波器と、

上記第 2 の加算器の出力信号の信号レベルを検波する第 2 の検波器と、

上記第 3 の加算器の出力信号の信号レベルを検波する第 3 の検波器と、

上記第 4 の加算器の出力信号の信号レベルを検波する第 4 の検波器と、

上記第 1 の検波器の出力に対して所定のフィルタリング処理を行う第 1 のフィルタと、

上記第 2 の検波器の出力に対して所定のフィルタリング処理を行う第 2 のフィルタと、

上記第 3 の検波器の出力に対して所定のフィルタリング処理を行う第 3 のフィルタと、

上記第 4 の検波器の出力に対して所定のフィルタリング処理を行う第 4 のフィルタと、

上記第 1 および第 2 のフィルタの出力に基づいて第 1 のノルムを計算する第 1 のノルム回路と、

上記第 3 および第 4 のフィルタの出力に基づいて第 2 のノルムを計算する第 2 のノルム回路と、

上記第 1 のノルムと第 2 のノルム間の差がゼロに近づいて減少するように上記制御信号を生成する制御信号生成手段と

を有する請求項 1 7 記載のスペクトル拡散受信機。

【請求項 2 6】 少なくとも上記第 1、第 2、第 3、および第 4 の検波器の一つは二乗検波器を有する

請求項 2 5 記載のスペクトル拡散受信機。

【請求項 2 7】 上記ローカル拡散コード同期保持回路は、

上記第 1、第 2、第 3、および第 4 のフィルタの出力から D C オフセットを除去する手段

を有する請求項 2 5 記載のスペクトル拡散受信機。

【請求項 2 8】 上記ダイレクトコンバージョン回路は、

上記ローカル信号と上記ローカル拡散コードを乗算し、リファレンスローカル信号として出力する乗算器と、

受信信号の位相をシフトする第 1 の位相シフタと、

上記リファレンスローカル信号の位相をシフトする第 2 の位相シフタと、

上記リファレンスローカル信号と上記第 1 の位相シフタの出力信号とを加算する第 1 の加算器と、

受信信号と上記第 2 の位相シフタの出力信号とを加算する第 2 の加算器と、

上記第 1 の加算器の出力の信号レベルを検波する第 1 の検波器と、

上記第 2 の加算器の出力の信号レベルを検波する第 2 の検波器と

を有する請求項 1 8 記載のスペクトル拡散受信機。

【請求項 2 9】 上記ダイレクトコンバージョン回路は、

上記第 1 の検波器の出力信号に対して所定のフィルタリング処理を行う第 1 のフィルタと、

上記第 2 の検波器の出力信号に対して所定のフィルタリング処理を行う第 2 の

フィルタと

をさらに有する請求項 2 8 記載のスペクトル拡散受信機。

【請求項 3 0】 上記ダイレクトコンバージョン回路は、
受信信号の信号レベルを検波する第 3 の検波器

をさらに有する請求項 2 8 記載のスペクトル拡散受信機。

【請求項 3 1】 上記ダイレクトコンバージョン回路は、
上記第 1 の検波器の出力信号に対して所定のフィルタリング処理を行う第 1 の
フィルタと、

上記第 2 の検波器の出力信号に対して所定のフィルタリング処理を行う第 2 の
フィルタと、

上記第 3 の検波器の出力信号に対して所定のフィルタリング処理を行う第 3 の
フィルタと

をさらに有する請求項 3 0 記載のスペクトル拡散受信機。

【請求項 3 2】 上記ダイレクトコンバージョン回路は、
上記同相および直交ローカル拡散コードにより上記ローカル信号を変調し、リ
ファレンスローカル信号として出力する直交変調器と、

受信信号の位相をシフトする第 1 の位相シフタと、

上記リファレンスローカル信号の位相をシフトする第 2 の位相シフタと、

上記リファレンスローカル信号と上記第 1 の位相シフタの出力信号とを加算す
る第 1 の加算器と、

受信信号と上記第 2 の位相シフタの出力信号とを加算する第 2 の加算器と、

上記第 1 の加算器の出力の信号レベルを検波する第 1 の検波器と、

上記第 2 の加算器の出力の信号レベルを検波する第 2 の検波器と

を有する請求項 1 9 記載のスペクトル拡散受信機。

【請求項 3 3】 上記ダイレクトコンバージョン回路は、
上記第 1 の検波器の出力信号に対して所定のフィルタリング処理を行う第 1 の
フィルタと、

上記第 2 の検波器の出力信号に対して所定のフィルタリング処理を行う第 2 の
フィルタと

をさらに有する請求項 3 2 記載のスペクトル拡散受信機。

【請求項 3 4】 上記ダイレクトコンバージョン回路は、
受信信号の信号レベルを検波する第 3 の検波器

をさらに有する請求項 3 2 記載のスペクトル拡散受信機。

【請求項 3 5】 上記ダイレクトコンバージョン回路は、
上記第 1 の検波器の出力信号に対して所定のフィルタリング処理を行う第 1 の
フィルタと、

上記第 2 の検波器の出力信号に対して所定のフィルタリング処理を行う第 2 の
フィルタと、

上記第 3 の検波器の出力信号に対して所定のフィルタリング処理を行う第 3 の
フィルタと

をさらに有する請求項 3 4 記載のスペクトル拡散受信機。

【請求項 3 6】 上記リファレンスローカル信号に含まれる拡散コードは、
受信信号の拡散コードに同期している

請求項 1 7 記載のスペクトル拡散受信機。

【請求項 3 7】 上記受信信号のキャリア周波数は、上記リファレンスロー
カル信号のキャリア周波数に略等しい

請求項 1 7 記載のスペクトル拡散受信機。

【請求項 3 8】 所定の拡散コードによりある帯域に拡散されたスペクトル
拡散信号を受信するソフトウェア無線用スペクトル拡散受信機であって、

所定周波数のローカル信号を出力するローカル発振器と、

受信信号および上記ローカル発振器によるローカル信号に基づいて同期および
同期保持のデジタル処理を介してローカル拡散コードを生成するローカル拡散コ
ード同期保持手段と、

上記ローカル発振器によるローカル信号および上記ローカル拡散コード同期保
持手段によるローカル拡散コードに基づいてリファレンスローカル信号を生成し
、受信信号および上記ローカルリファレンス信号に基づいて位相差を有する 2 つ
の信号を生成し、上記位相差を持つ 2 つの信号に基づいて逆拡散を行うダイレク
トコンバージョン回路と



を有するスペクトル拡散受信機。

【請求項 3 9】 上記ローカル拡散コード同期保持回路は、

制御信号の値に基づいて上記同相ローカル拡散コードを生成する第 1 のローカル拡散コード生成器と、

制御信号の値に基づいて上記直交ローカル拡散コードを生成する第 2 のローカル拡散コード生成器と、

所定の時間だけ上記生成された同相および直交ローカル拡散コードを遅延させる第 1 の位相調整手段と、

所定の時間だけ上記生成された同相および直交ローカル拡散コードを進行させる第 2 の位相調整手段と、

上記第 1 の位相調整手段の出力信号により上記ローカル信号を変調する第 1 の直交変調器と、

上記第 2 の位相調整手段の出力信号により上記ローカル信号を変調する第 2 の直交変調器と、

上記受信信号の位相をシフトする第 1 の位相シフタと、

上記第 1 の直交変調器の出力信号の位相をシフトする第 2 の位相シフタと、

上記第 2 の直交変調器の出力信号の位相をシフトする第 3 の位相シフタと、

上記受信信号の位相をシフトする第 4 の位相シフタと、

上記第 1 の位相シフタの出力信号と上記第 1 の直交変調器の出力信号とを加算する第 1 の加算器と、

上記受信信号と上記第 2 の位相シフタの出力信号とを加算する第 2 の加算器と

、
上記受信信号と上記第 3 の位相シフタの出力信号とを加算する第 3 の加算器と

、
上記第 2 の直交変調器の出力信号と上記第 4 の位相シフタの出力信号とを加算する第 4 の加算器と、

上記第 1 の加算器の出力信号の信号レベルを検波する第 1 の検波器と、

上記第 2 の加算器の出力信号の信号レベルを検波する第 2 の検波器と、

上記第 3 の加算器の出力信号の信号レベルを検波する第 3 の検波器と、

上記第 4 の加算器の出力信号の信号レベルを検波する第 4 の検波器と、

上記第 1 の検波器の出力に対して所定のフィルタリング処理を行う第 1 のフィルタと、

上記第 2 の検波器の出力に対して所定のフィルタリング処理を行う第 2 のフィルタと、

上記第 3 の検波器の出力に対して所定のフィルタリング処理を行う第 3 のフィルタと、

上記第 4 の検波器の出力に対して所定のフィルタリング処理を行う第 4 のフィルタと、

上記第 1 および第 2 のフィルタの出力アナログ信号をデジタル信号に変換する第 1 のアナログ-デジタル (A/D) 変換手段と、

上記第 3 および第 4 のフィルタの出力アナログ信号をデジタル信号に変換する第 2 の A/D 変換手段と、

上記第 1 の A/D 変換手段と第 2 の A/D 変換手段の出力間の差がゼロに近づいて減少するように上記制御信号を生成するデジタル処理手段と

を有する請求項 38 記載のスペクトル拡散受信機。

【請求項 40】 少なくとも上記第 1、第 2、第 3、および第 4 の検波器の一つは二乗検波器を有する

請求項 39 記載のスペクトル拡散受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ソフトウェア無線用のスペクトル拡散受信機、特に、FET 広帯域ダイレクトコンバージョン回路に基づくダイレクトシーケンス（直接拡散）RF スペクトル拡散信号のアナログ逆拡散およびダイレクトコンバージョン用回路、および異なるタイプのダイレクトシーケンススペクトル拡散の PN（疑似ランダムノイズ）符号同期および逆拡散用回路に関するものである。

【0002】

【従来の技術】

ソフトウェア無線の基本概念は、ソフトウェアの制御の下、異なるフォーマット、すなわち異なる変調方式の信号を受信する無線機を容易に再構成可能なように、可能な限りデジタル処理を利用することにある。シングルステージのRFダウンコンバージョンを利用すると、無線機は、大いに簡易化される。近年、二乗検波に基づくFET検波器の利用に基づくダイレクトコンバージョン用の新規な回路が提案されている（文献〔1〕、〔2〕を参照：〔1〕M.Abe,N.Sasho,D.Krupcevic,and V.Brarnkovic,"Receiver circuit",〔2〕W099/33166('99.July.1)。これらの回路は、以前可能であったよりも、高い帯域性および線形性をともなったダイレクトコンバージョン回路の実現を可能にする。

【0003】

直接拡散（ダイレクトシーケンス）スペクトル拡散受信機に係るダイレクトコンバージョン回路の使用は、上述したシングルステージコンバータの利益よりはるかに大きい利益を有する。シングルステージコンバータに加えて、ダイレクトコンバージョン回路は、アナログ相関器として効果的に動作する。このことは、結果としてスペクトル拡散受信機に要求される処理速度の大幅な低減およびこれに伴う電力消費の削減につながる。

【0004】

図1は、従来の直接拡散スペクトル拡散受信機のブロック図である。

図1の直接拡散スペクトル拡散受信機10は、レシーバアンテナ11、RFフィルタ12、マルチステージコンバータ13、RFフロントエンドノイズ削減フィルタ14、サンプルおよびアナログーデジタル（A/D）コンバータ15、PNコード同期および同期保持回路16、およびレイク（RAKE）受信機（復調器）17を有している。

【0005】

図1に示すように、直接拡散スペクトル拡散受信機10の代表的なインプリメンテーションは、チップレートの複数倍、たとえばチップレート8倍の周波数で動作するサンプルおよびA/Dコンバータ15が後続するRFフロントエンドノイズ削減フィルタ14を含んでいる。3X帯域における広帯域CDMA（符号分割多元接続）では、このチップレートは、 $8 \times 3.84 = 30.72 \text{ MHz}$ に

等しい。さらに高い帯域では、そのレートは100MHzを簡単に越えてしまう。受信機は、PNコード同期および同期保持回路16を動作させて、これらのレートでデジタルで逆拡散を行う。

【0006】

【発明が解決しようとする課題】

受信機がアンテナダイバーシティ、あるいはデジタルビーム形成アレイを利用していると、この回路は、各アレイ要素ごとに繰り返される。大きな拡散帯域については、回路の複雑さ、これに伴う電力消費が大きくなる。

【0007】

チップレートよりシンボルレートの倍数のクロック周波数で動作させることは、受信機の設計に有利となる。このことは、逆拡散がアナログ形態で効果的に実行されれば可能である。

【0008】

本発明の第1の目的は、回路の複雑さがチップレートと無関係で、非常に高チップレートの電力効率のよいスペクトル拡散システムの設計が可能であり、電力消費を削減可能なスペクトル拡散受信機を提供することにある。

【0009】

本発明の第2の目的は、チップレートの代わりにデータシンボルレートでデジタル処理を行うことが可能なソフトウェア無線用スペクトル拡散受信機を提供することにある。

【0010】

本発明の第1の観点によれば、所定の拡散コードによりある帯域に拡散されたスペクトル拡散信号を受信するスペクトル拡散受信機であって、所定周波数のローカル信号を出力するローカル発振器と、受信信号の拡散コードに応じてローカル拡散コードを生成するローカル拡散コード生成手段と、上記ローカル発振器によるローカル信号および上記ローカル拡散コード生成手段によるローカル拡散コードに基づいてリファレンスローカル信号を生成し、受信信号および上記リファレンスローカル信号に基づいて位相差を有する2つの信号を生成し、上記位相差を持つ2つの信号に基づいて逆拡散を行うダイレクトコンバージョン回路とを有

するスペクトル拡散受信機が提供される。

【0011】

好適には、上記ダイレクトコンバージョン回路は、上記ローカル信号と上記ローカル拡散コードを乗算し、リファレンスローカル信号として出力する乗算器と、受信信号の位相をシフトする第1の位相シフタと、上記リファレンスローカル信号の位相をシフトする第2の位相シフタと、上記リファレンスローカル信号と上記第1の位相シフタの出力信号とを加算する第1の加算器と、受信信号と上記第2の位相シフタの出力信号とを加算する第2の加算器と、上記第1の加算器の出力の信号レベルを検波する第1の検波器と、上記第2の加算器の出力の信号レベルを検波する第2の検波器とを有する。

【0012】

また、上記ダイレクトコンバージョン回路は、上記ローカル拡散コードにより上記ローカル信号を変調し、リファレンスローカル信号として出力する変調器と、受信信号の位相をシフトする第1の位相シフタと、上記リファレンスローカル信号の位相をシフトする第2の位相シフタと、上記リファレンスローカル信号と上記第1の位相シフタの出力信号とを加算する第1の加算器と、受信信号と上記第2の位相シフタの出力信号とを加算する第2の加算器と、上記第1の加算器の出力の信号レベルを検波する第1の検波器と、上記第2の加算器の出力の信号レベルを検波する第2の検波器とを有する。

【0013】

また、本発明では、上記第1の検波器の出力信号に対して所定のフィルタリング処理を行う第1のフィルタと、上記第2の検波器の出力信号に対して所定のフィルタリング処理を行う第2のフィルタと、上記第3の検波器の出力信号に対して所定のフィルタリング処理を行う第3のフィルタとをさらに有する。

【0014】

また、上記変調器は直交変調器を有する。

【0015】

好適には、上記リファレンスローカル信号に含まれる拡散コードは、受信信号の拡散コードに同期している。

【 0 0 1 6 】

また、上記受信信号のキャリア周波数は、上記リファレンスローカル信号のキャリア周波数に略等しい。

【 0 0 1 7 】

また、本発明では、少なくとも第 1、第 2、および第 3 の検波器の一つは、二乗検波器を有する。

【 0 0 1 8 】

本発明の第 2 の観点によれば、所定の拡散コードによりある帯域に拡散されたスペクトル拡散信号を受信するスペクトル拡散受信機であって、所定周波数のローカル信号を出力するローカル発振器と、受信信号および上記ローカル発振器によるローカル信号に基づいて同期および同期保持処理を介してローカル拡散コードを生成するローカル拡散コード同期保持手段と、上記ローカル発振器によるローカル信号および上記ローカル拡散コード同期保持手段によるローカル拡散コードに基づいてリファレンスローカル信号を生成し、受信信号および上記ローカルリファレンス信号に基づいて位相差を有する 2 つの信号を生成し、上記位相差を持つ 2 つの信号に基づいて逆拡散を行うダイレクトコンバージョン回路とを有するスペクトル拡散受信機が提供される。

【 0 0 1 9 】

好適には、上記ローカル拡散コード同期保持回路は、制御信号の値に基づいて上記ローカル拡散コードを生成するローカル拡散コード生成器と、所定の時間だけ上記生成されたローカル拡散コードを遅延させる第 1 の位相調整手段と、所定の時間だけ上記生成されたローカル拡散コードを進行させる第 2 の位相調整手段と、上記ローカル信号と上記第 1 の位相調整手段の出力信号を乗算する第 1 の乗算器と、上記ローカル信号と上記第 2 の位相調整手段の出力信号を乗算する第 2 の乗算器と、上記受信信号と上記第 1 の乗算器の出力信号とを加算する第 1 の加算器と、上記第 1 の加算器の出力信号の振幅成分を検波する第 1 の検波器と、上記第 1 の検波器の出力信号の第 1 のエンベロープを検波する第 1 のエンベロープ検波手段と、上記受信信号と上記第 2 の乗算器の出力信号とを加算する第 2 の加算器と、上記第 2 の加算器の出力信号の振幅成分を検波する第 1 の検波器と、上

記第 2 の検波器の出力信号の第 2 のエンベロープを検波する第 2 のエンベロープ検波手段と、上記第 1 のエンベロープと第 2 のエンベロープ間の差がゼロに近づいて減少するように上記制御信号を生成する制御信号生成手段とを有する。

【 0 0 2 0 】

また、上記ローカル拡散コード同期保持回路は、制御信号の値に基づいて上記ローカル拡散コードを生成するローカル拡散コード生成器と、所定の時間だけ上記生成されたローカル拡散コードを遅延させる第 1 の位相調整手段と、所定の時間だけ上記生成されたローカル拡散コードを進行させる第 2 の位相調整手段と、上記ローカル信号と上記第 1 の位相調整手段の出力信号を乗算する第 1 の乗算器と、上記ローカル信号と上記第 2 の位相調整手段の出力信号を乗算する第 2 の乗算器と上記受信信号の位相をシフトする第 1 の位相シフタと、上記第 1 の乗算器の出力信号の位相をシフトする第 2 の位相シフタと、上記第 2 の乗算器の出力信号の位相をシフトする第 3 の位相シフタと、上記受信信号の位相をシフトする第 4 の位相シフタと、上記第 1 の位相シフタの出力信号と上記第 1 の乗算器の出力信号とを加算する第 1 の加算器と、上記受信信号と上記第 2 の位相シフタの出力信号とを加算する第 2 の加算器と、上記受信信号と上記第 3 の位相シフタの出力信号とを加算する第 3 の加算器と、上記第 2 の乗算器の出力信号と上記第 4 の位相シフタの出力信号とを加算する第 4 の加算器と、上記第 1 の加算器の出力信号の信号レベルを検波する第 1 の検波器と、上記第 2 の加算器の出力信号の信号レベルを検波する第 2 の検波器と、上記第 3 の加算器の出力信号の信号レベルを検波する第 3 の検波器と、上記第 4 の加算器の出力信号の信号レベルを検波する第 4 の検波器と、上記第 1 の検波器の出力に対して所定のフィルタリング処理を行う第 1 のフィルタと、上記第 2 の検波器の出力に対して所定のフィルタリング処理を行う第 2 のフィルタと、上記第 3 の検波器の出力に対して所定のフィルタリング処理を行う第 3 のフィルタと、上記第 4 の検波器の出力に対して所定のフィルタリング処理を行う第 4 のフィルタと、上記第 1 および第 2 のフィルタの出力に基づいて第 1 のノルムを計算する第 1 のノルム回路と、上記第 3 および第 4 のフィルタの出力に基づいて第 2 のノルムを計算する第 2 のノルム回路と、上記第 1 のノルムと第 2 のノルム間の差がゼロに近づいて減少するように上記制御信号

を生成する制御信号生成手段とを有する。

【 0 0 2 1 】

また、本発明では、少なくとも上記第 1、第 2、第 3、および第 4 の検波器の一つは二乗検波器を有する。

【 0 0 2 2 】

好適には、上記ローカル拡散コード同期保持回路は、上記第 1、第 2、第 3、および第 4 のフィルタの出力から DC オフセットを除去する手段を有する。

【 0 0 2 3 】

また、上記ローカル拡散コード同期保持回路は、制御信号の値に基づいて上記同相ローカル拡散コードを生成する第 1 のローカル拡散コード生成器と、制御信号の値に基づいて上記直交ローカル拡散コードを生成する第 2 のローカル拡散コード生成器と、所定の時間だけ上記生成された同相および直交ローカル拡散コードを遅延させる第 1 の位相調整手段と、所定の時間だけ上記生成された同相および直交ローカル拡散コードを進行させる第 2 の位相調整手段と、上記第 1 の位相調整手段の出力信号により上記ローカル信号を変調する第 1 の直交変調器と、上記第 2 の位相調整手段の出力信号により上記ローカル信号を変調する第 2 の直交変調器と、上記受信信号の位相をシフトする第 1 の位相シフタと、上記第 1 の直交変調器の出力信号の位相をシフトする第 2 の位相シフタと、上記第 2 の直交変調器の出力信号の位相をシフトする第 3 の位相シフタと、上記受信信号の位相をシフトする第 4 の位相シフタと、上記第 1 の位相シフタの出力信号と上記第 1 の直交変調器の出力信号とを加算する第 1 の加算器と、上記受信信号と上記第 2 の位相シフタの出力信号とを加算する第 2 の加算器と、上記受信信号と上記第 3 の位相シフタの出力信号とを加算する第 3 の加算器と、上記第 2 の直交変調器の出力信号と上記第 4 の位相シフタの出力信号とを加算する第 4 の加算器と、上記第 1 の加算器の出力信号の信号レベルを検波する第 1 の検波器と、上記第 2 の加算器の出力信号の信号レベルを検波する第 2 の検波器と、上記第 3 の加算器の出力信号の信号レベルを検波する第 3 の検波器と、上記第 4 の加算器の出力信号の信号レベルを検波する第 4 の検波器と、上記第 1 の検波器の出力に対して所定のフィルタリング処理を行う第 1 のフィルタと、上記第 2 の検波器の出力に対して所

定のフィルタリング処理を行う第2のフィルタと、上記第3の検波器の出力に対して所定のフィルタリング処理を行う第3のフィルタと、上記第4の検波器の出力に対して所定のフィルタリング処理を行う第4のフィルタと、上記第1および第2のフィルタの出力に基づいて第1のノルムを計算する第1のノルム回路と、上記第3および第4のフィルタの出力に基づいて第2のノルムを計算する第2のノルム回路と、上記第1のノルムと第2のノルム間の差がゼロに近づいて減少するように上記制御信号を生成する制御信号生成手段とを有する。

【 0 0 2 4 】

また、上記ローカル拡散コード同期保持回路は、制御信号の値に基づいて上記同相ローカル拡散コードを生成する第1のローカル拡散コード生成器と、制御信号の値に基づいて上記直交ローカル拡散コードを生成する第2のローカル拡散コード生成器と、所定の時間だけ上記生成された同相ローカル拡散コードを遅延させる第1の位相調整手段と、所定の時間だけ上記生成された直交ローカル拡散コードを遅延させる第2の位相調整手段と、所定の時間だけ上記生成された同相ローカル拡散コードを進行させる第3の位相調整手段と、所定の時間だけ上記生成された直交ローカル拡散コードを進行させる第4の位相調整手段と、上記ローカル信号と上記第1の位相調整手段の出力信号を乗算する第1の乗算器と、上記ローカル信号と上記第2の位相調整手段の出力信号を乗算する第2の乗算器と、上記ローカル信号と上記第3の位相調整手段の出力信号を乗算する第3の乗算器と、上記ローカル信号と上記第4の位相調整手段の出力信号を乗算する第4の乗算器と、上記受信信号と上記第1の乗算器の出力信号とを加算する第1の加算器と、上記受信信号と上記第2の乗算器の出力信号とを加算する第2の加算器と、上記受信信号と上記第3の乗算器の出力信号とを加算する第3の加算器と、上記受信信号と上記第4の乗算器の出力信号とを加算する第4の加算器と、上記第1の加算器の出力信号の信号レベルを検波する第1の検波器と、上記第2の加算器の出力信号の信号レベルを検波する第2の検波器と、上記第3の加算器の出力信号の信号レベルを検波する第3の検波器と、上記第4の加算器の出力信号の信号レベルを検波する第4の検波器と、上記第1の検波器の出力に対して所定のフィルタリング処理を行う第1のフィルタと、上記第2の検波器の出力に対して所定の

フィルタリング処理を行う第2のフィルタと、上記第3の検波器の出力に対して所定のフィルタリング処理を行う第3のフィルタと、上記第4の検波器の出力に対して所定のフィルタリング処理を行う第4のフィルタと、上記第1および第2のフィルタの出力に基づいて第1のノルムを計算する第1のノルム回路と、上記第3および第4のフィルタの出力に基づいて第2のノルムを計算する第2のノルム回路と、上記第1のノルムと第2のノルム間の差がゼロに近づいて減少するように上記制御信号を生成する制御信号生成手段とを有する。

【0025】

好適には、上記ダイレクトコンバージョン回路は、上記ローカル信号と上記ローカル拡散コードを乗算し、リファレンスローカル信号として出力する乗算器と、受信信号の位相をシフトする第1の位相シフタと、上記リファレンスローカル信号の位相をシフトする第2の位相シフタと、上記リファレンスローカル信号と上記第1の位相シフタの出力信号とを加算する第1の加算器と、受信信号と上記第2の位相シフタの出力信号とを加算する第2の加算器と、上記第1の加算器の出力の信号レベルを検波する第1の検波器と、上記第2の加算器の出力の信号レベルを検波する第2の検波器とを有する。

【0026】

また、本発明では、上記ダイレクトコンバージョン回路は、上記同相および直交ローカル拡散コードにより上記ローカル信号を変調し、リファレンスローカル信号として出力する直交変調器と、受信信号の位相をシフトする第1の位相シフタと、上記リファレンスローカル信号の位相をシフトする第2の位相シフタと、上記リファレンスローカル信号と上記第1の位相シフタの出力信号とを加算する第1の加算器と、受信信号と上記第2の位相シフタの出力信号とを加算する第2の加算器と、上記第1の加算器の出力の信号レベルを検波する第1の検波器と、上記第2の加算器の出力の信号レベルを検波する第2の検波器とを有する。

【0027】

本発明の第3の観点によれば、所定の拡散コードによりある帯域に拡散されたスペクトル拡散信号を受信するソフトウェア無線用スペクトル拡散受信機であって、所定周波数のローカル信号を出力するローカル発振器と、受信信号および上

記ローカル発振器によるローカル信号に基づいて同期および同期保持のデジタル処理を介してローカル拡散コードを生成するローカル拡散コード同期保持手段と、上記ローカル発振器によるローカル信号および上記ローカル拡散コード同期保持手段によるローカル拡散コードに基づいてリファレンスローカル信号を生成し、受信信号および上記ローカルリファレンス信号に基づいて位相差を有する2つの信号を生成し、上記位相差を持つ2つの信号に基づいて逆拡散を行うダイレクトコンバージョン回路とを有する。

【 0 0 2 8 】

好適には、上記ローカル拡散コード同期保持回路は、制御信号の値に基づいて上記同相ローカル拡散コードを生成する第1のローカル拡散コード生成器と、制御信号の値に基づいて上記直交ローカル拡散コードを生成する第2のローカル拡散コード生成器と、所定の時間だけ上記生成された同相および直交ローカル拡散コードを遅延させる第1の位相調整手段と、所定の時間だけ上記生成された同相および直交ローカル拡散コードを進行させる第2の位相調整手段と、上記第1の位相調整手段の出力信号により上記ローカル信号を変調する第1の直交変調器と、上記第2の位相調整手段の出力信号により上記ローカル信号を変調する第2の直交変調器と、上記受信信号の位相をシフトする第1の位相シフタと、上記第1の直交変調器の出力信号の位相をシフトする第2の位相シフタと、上記第2の直交変調器の出力信号の位相をシフトする第3の位相シフタと、上記受信信号の位相をシフトする第4の位相シフタと、上記第1の位相シフタの出力信号と上記第1の直交変調器の出力信号とを加算する第1の加算器と、上記受信信号と上記第2の位相シフタの出力信号とを加算する第2の加算器と、上記受信信号と上記第3の位相シフタの出力信号とを加算する第3の加算器と、上記第2の直交変調器の出力信号と上記第4の位相シフタの出力信号とを加算する第4の加算器と、上記第1の加算器の出力信号の信号レベルを検波する第1の検波器と、上記第2の加算器の出力信号の信号レベルを検波する第2の検波器と、上記第3の加算器の出力信号の信号レベルを検波する第3の検波器と、上記第4の加算器の出力信号の信号レベルを検波する第4の検波器と、上記第1の検波器の出力に対して所定のフィルタリング処理を行う第1のフィルタと、上記第2の検波器の出力に対し

て所定のフィルタリング処理を行う第2のフィルタと、上記第3の検波器の出力に対して所定のフィルタリング処理を行う第3のフィルタと、上記第4の検波器の出力に対して所定のフィルタリング処理を行う第4のフィルタと、上記第1および第2のフィルタの出力アナログ信号をデジタル信号に変換する第1のアナログ-デジタル (A/D) 変換手段と、上記第3および第4のフィルタの出力アナログ信号をデジタル信号に変換する第2のA/D変換手段と、上記第1のA/D変換手段と第2のA/D変換手段の出力間の差がゼロに近づいて減少するように上記制御信号を生成するデジタル処理手段とを有する。

【0029】

本発明によれば、nポートダイレクト回路コンバータにおいては、公称45度に等しい θ だけ位相がシフトされ、検波機は理想的には二乗関数である。入力の一つは逆拡散(復調)すべき受信信号である。他の入力は、直接拡散スペクトル拡散信号である。リファレンス信号は、受信信号のPNコードに同期しているPN(拡散)コードを有する。受信信号のキャリア周波数は、ローカルリファレンス信号のキャリア周波数に同期する必要がない、リファレンス信号のキャリア周波数と略等しい。正確なキャリアおよび位相同期は、デジタル領域で行われる。

【0030】

受信信号と位相が θ だけシフトされたリファレンスローカル信号の和は、電力検波器に入力される。リファレンスローカル信号と位相が θ だけシフトされた受信信号は、第2の電力検波器に入力される。第3の出力は受信信号の電力を生み出す。

【0031】

また、本発明によれば、PNコード同期保持回路は、トラッキングループのためのエラー信号が二乗検波器の出力から決定されるダイレクトコンバージョン概念に基づく近ゼロ(near-zero)IFダウンコンバータを伴うアーリー(eraly)・レイト(late)構造を利用する。

【0032】

また、複素拡散を用いるスペクトル拡散信号用のダイレクトコンバージョン受信機においては、QPSK変調ブロックが、複素拡散器を構成する。受信信号は

複素拡散を伴う信号である。

【0033】

また、たとえば、ソフトウェア無線におけるソフトウェアモジュールを利用したダイレクトコンバージョンを伴うスペクトル拡散のための同期保持回路が一般化される。ソフトウェアモジュールは、初期の荒い（粗）同期、あるいはPNコード同期捕捉が、トラッキングループのためのロック範囲内に引き込む値の領域を通すVCOの周波数を進める処理を通して、実行するようにプログラムされる。ソフトウェアモジュールは、またエラー信号の生成を含むトラッキングループ用、およびこの信号のフィルタリング用アルゴリズムを含む。

【0034】

【発明の実施の形態】

以下、ソフトウェア無線（SDR）用直接拡散スペクトル拡散受信機の最善の形態を、図面に関連付けて詳細に説明する。

【0035】

図2は、本発明に係るスペクトル拡散受信機の第1の実施形態を示すブロック図である。

【0036】

スペクトル拡散受信機20は、図2に示すように、 n （ n は3またはそれ以上の整数、本実施形態では、たとえば $n=5$ または4）ポートダイレクトコンバージョン回路21、PNコード同期保持回路22、デジタル回路23、およびローカル発振器24を有している。

【0037】

n ポートダイレクトコンバージョン回路21は、2つの信号、すなわち送信側でPNコード $c(t)$ が乗算された受信信号 $r(t)$ と、ローカル発振器24によるローカル信号 $l(t)$ にPNコード同期保持回路22によるローカルPNコード（ ± 1 値）を乗算することにより生成されたローカル信号 $l(t)$ とを線形合成で合成し、一つの信号あるいは2つあるいはそれ以上の信号を出力する。出力信号のアナログ電力値は、たとえばFET二乗検波器により検波される。

【0038】

P Nコード同期回路 2 2 は、送信側からの受信信号 $r(t)$ およびローカル発振器 2 4 によるローカル信号 $l(t)$ に基づく同期（捕捉）および同期保持処理を通してローカル P Nコードを生成する。

【 0 0 3 9 】

デジタル回路 2 3 は、 n ポートダイレクトコンバージョン回路 2 1 の出力信号を、図示しない A / D コンバータを介して受信信号あるいはローカル信号に含まれる 1 または複数の信号成分に変換する。

【 0 0 4 0 】

次に、 n ポートダイレクトコンバージョン回路 2 1 および P Nコード同期保持回路 2 2 の具体的な構成および基本的な機能について順を追って説明する。

【 0 0 4 1 】

まず、 n ポートダイレクトコンバージョン回路 2 1 の具体的な構成について説明する。

【 0 0 4 2 】

図 3 は、本発明に係る 5 ($n = 5$) ポートダイレクトコンバージョン回路の構成例を示す図である。

【 0 0 4 3 】

5 ポートダイレクトコンバージョン回路 2 1 0 は、図 3 に示すように、乗算器 2 1 0 1、位相シフタ 2 1 0 2、2 1 0 3、加算器 2 1 0 4、2 1 0 5、検波器 2 1 0 6、2 1 0 7、2 1 0 8、および R C フィルタ 2 1 0 9、2 1 1 0、2 1 1 1 を有している。

【 0 0 4 4 】

ここで、5 ポートは、受信信号用入力端子 T_{INr} 、ローカル信号用入力端子 IN_1 、R C フィルタ 2 1 0 9 の出力端子（ポート）、R C フィルタ 2 1 1 0 の出力端子、および R C フィルタ 2 1 1 1 の出力端子により構成される。

【 0 0 4 5 】

図 3 において、パラメータ θ は、位相シフト（理論上は 45° ）を示している。実際に実現される 5 ポートデバイスは、2 つの位相シフトが完全に整合する（釣り合う）ことを確実にしている。利得係数 k_{ij} は回路構成要素パラメータによ

る。検波器 2 1 0 6 ~ 2 1 0 8 の関数 $g(\cdot)$ は、二乗関数におおよそあるいは理想的には等しい非線形関数であり、RC フィルタ 2 1 0 9 ~ 2 1 1 1 は、一次ローパスフィルタである。

【 0 0 4 6 】

乗算器 2 1 0 1 においては、受信信号 $r(t)$ が、PN コード同期保持回路 2 2 において同期および同期保持処理を通して得られた PN コード $c(t)$ と掛け合わされ、リファレンスローカル信号 S 2 1 0 2 が位相シフタ 2 1 0 3 および加算器 2 1 0 4 に出力される。ローカル信号 $l(t)$ が $B \cos[\omega_c t - \pi/4]$ で与えられると、リファレンスローカル信号は、 $B_c(t) \cos[\omega_c t - \pi/4]$ で与えられる。

【 0 0 4 7 】

位相シフタ 2 1 0 2 においては、受信信号 $r(t)$ が θ (たとえば 45°) だけ位相シフトされ、信号 S 2 1 0 2 ($r\theta(t)$) が加算器 2 1 0 4 に出力される。

【 0 0 4 8 】

位相シフタ 2 1 0 3 においては、リファレンスローカル S 2 1 0 2 が θ だけ位相シフトされ、信号 S 2 1 0 3 が加算器 2 1 0 5 に出力される。

【 0 0 4 9 】

加算器 2 1 0 4 においては、位相シフタ 2 1 0 2 の出力信号 S 2 1 0 4 とリファレンスローカル信号 S 2 1 0 1 が加算され、信号 S 2 1 0 4 が検波器 2 1 0 7 に出力される。

【 0 0 5 0 】

加算器 2 1 0 5 においては、位相シフタ 2 1 0 3 の出力信号 S 2 1 0 3 と受信信号 $r(t)$ が加算され、信号 S 2 1 0 5 が検波器 2 1 0 8 に出力される。

【 0 0 5 1 】

検波器 2 1 0 6 においては、受信信号 $r(t)$ の振幅成分が検波され、検波された振幅成分が RC フィルタ 2 1 0 9 に供給される。

【 0 0 5 2 】

検波器 2 1 0 7 においては、加算器 2 1 0 4 の出力信号 S 2 1 0 4 の振幅成分

が検波され、検波された振幅成分がRCフィルタ2110に供給される。

【0053】

検波器2108においては、加算器2105の出力信号S2105の振幅成分が検波され、検波された振幅成分がRCフィルタ2111に供給される。

【0054】

RCフィルタ2109は、たとえばローパスフィルタ(LPF)により構成され、検波器2106による振幅成分に対するフィルタリング処理を行い、パワー信号 P_0 をデジタル回路23に出力する。

【0055】

RCフィルタ2110は、たとえばLPFにより構成され、検波器2107による振幅成分に対するフィルタリング処理を行い、パワー信号 P_1 をデジタル回路23に出力する。

【0056】

RCフィルタ2111は、たとえばLPFにより構成され、検波器2108による振幅成分に対するフィルタリング処理を行い、パワー信号 P_2 をデジタル回路23に出力する。

【0057】

ここで、受信信号 $r(t)$ が、次のような両側波帯信号である場合を考察する。

【0058】

【数1】

$$r(t) = A_m(t) \cos(\omega_c t + \phi(t)) \quad (1)$$

【0059】

ここで、 $\phi(t)$ はゆっくりと時間変動すると仮定した場合の位相であり、 $m(t)$ は変調信号である。上述したように、ローカル信号 $l(t) = B \cos[\omega_c t - \pi/4]$ とする。

【0060】

もし、ローカル信号 $l(t)$ が完全に受信信号 $r(t)$ を同期保持すると、 $\phi(t) = -\pi/4$ となる。

【0061】

今、 $g(\cdot)$ を二乗関数と仮定する。信号 P_0 はおよそ $\kappa_{01}^2 A^2 / 2 \cdot m^2(t)$ と等しい。信号 P_1 は次のように与えられる。

【0062】

【数2】

$$\begin{aligned} & (\kappa_{11}r_\theta(t) + \kappa_{12}c(t))m(t)^2 \\ &= \text{Lp} \left\{ \kappa_{11}^2 r_\theta^2(t) + 2\kappa_{11}\kappa_{12}B r_\theta(t)c(t) \cos\left(\omega_c t - \frac{\pi}{4}\right) + \kappa_{12}^2 c^2(t)m^2(t) \right\} \quad (2) \\ &= \frac{\kappa_{11}^2 A^2}{2} m^2(t) + \frac{\kappa_{12}^2 B^2}{2} + \kappa_{11}\kappa_{12}ABm(t)c(t) \cos\left(\phi + \frac{\pi}{4} - \theta\right) \end{aligned}$$

【0063】

ここで、 Lp はローパス成分を示し、 $r_\theta(t)$ は位相を θ だけシフトした $r(t)$ と等しい。

【0064】

今、上記において、第1項は出力 P_0 ($\kappa_{11} = \kappa_{01}$ ならば同等)、第2項は、DC (直流) 成分、第3項は所望の信号である。したがって、 P_1 および P_0 を処理して、次を得ることができる。

【0065】

【数3】

$$Y_1 = \kappa_{22}\kappa_{21}ABm(t)c(t) \cos\left(\phi + \frac{\pi}{4} + \theta\right) \quad (3)$$

【0066】

同様にして、 P_2 での出力は、次のように得られるように処理可能に示すことが可能である。

【0067】

【数4】

$$Y_Q = \kappa_{22}\kappa_{21}ABm(t)c(t)\cos\left(\phi + \frac{\pi}{4} + \theta\right) \quad (4)$$

【0068】

パラメータ $\theta = \pi/4$ と設定すると、次を得ることができる。

【0069】

【数5】

$$Y_1 = km(t)c(t)\cos\phi \quad (5)$$

【0070】

【数6】

$$Y_Q = -km(t)c(t)\sin\phi \quad (6)$$

【0071】

ここで、 k は比例定数である。5ポートダイレクトコンバージョン回路210の出力 P_1 および P_2 は、 P_0 の多重を減算し、DC成分の除去する処理が行われ、これにより上記I-Q信号が得られる。したがって、5ポートダイレクトコンバージョン回路210は、I-Qダイレクトコンバータとして使用することが可能である。

【0072】

なお、回路成分が、 $\kappa_{11} = \kappa_{01}$ と仮定できるように、都合よく整合されれば、5ポートダイレクトコンバージョン回路は、図4に示すように、4ポートダイレクトコンバージョン回路に適応させることができる。ここで、I-Q成分は、 Y_1 および Y_2 からDCオフセットを除去することにより得ることができる。

【0073】

今、受信信号 $r(t)$ を次のように書くことができる直交変調信号のより一般的なケースについて考察する。

【0074】

【数 7】

$$r(t) = A(m_1(t) \cos(\omega_c t + \phi) + m_q(t) \sin(\omega_c t + \phi)) \quad (7)$$

【0075】

多重 P_0 を減算し、DC オフセットを除去する 5 ポートデバイスの出力処理の後、次の I-Q 信号を得ることができる。

【0076】

【数 8】

$$Y_I = \kappa \left(m_i(t) \cos\left(\phi + \frac{\pi}{4} - \theta\right) + m_q(t) \sin\left(\phi + \frac{\pi}{4} - \theta\right) \right) \quad (8)$$

【0077】

【数 9】

$$Y_Q = \kappa \left(m_i(t) \cos\left(\phi + \frac{\pi}{4} + \theta\right) + m_q(t) \sin\left(\phi + \frac{\pi}{4} + \theta\right) \right) \quad (9)$$

【0078】

転送された（あるいは情報）I-Q 信号は次のように計算することができる。

【0079】

【数 10】

$$\begin{bmatrix} m_i(t) \\ m_q(t) \end{bmatrix} = \frac{1}{\kappa \sin(2\theta)} \begin{bmatrix} \sin\left(\phi + \frac{\pi}{4} + \theta\right) - \sin\left(\phi + \frac{\pi}{4} - \theta\right) \\ -\cos\left(\phi + \frac{\pi}{4} + \theta\right) \cos\left(\phi + \frac{\pi}{4} - \theta\right) \end{bmatrix} \begin{bmatrix} Y_I \\ Y_Q \end{bmatrix} \quad (10)$$

【 0 0 8 0 】

なお、上記は、 $\theta = \pi / 4$ を除く任意の位相角 θ について解くことができる。しかしながら、 $\theta = \pi / 4$ の値は、荒い（骨の折れる）計算に関しては最適である。 $\theta = \pi / 4$ を選択するならば、上記した式は、次のようになる。

【 0 0 8 1 】

【数 1 1】

$$\begin{bmatrix} m_i(t) \\ m_q(t) \end{bmatrix} = \frac{1}{\kappa} \begin{bmatrix} \cos \phi - \sin \phi \\ \cos \phi \cos \phi \end{bmatrix} \begin{bmatrix} Y_i \\ Y_Q \end{bmatrix}$$

(11)

【 0 0 8 2 】

オリジナル（変調）I-Q信号は、式（11）のように、ディローテーションマトリクスにより上記（検波された）I-Q信号を処理することにより回復される。この動作を行うため、受信信号のキャリア位相 ϕ の情報が要求される。

【 0 0 8 3 】

上記展開の後、5ポートデバイスを、図5に示すように、効果的に4ポートデバイスに設計することができる。

【 0 0 8 4 】

もしも、前述の展開におけるローカル発振器24のローカル信号1(t)が、受信信号のキャリアに位相ロックしていないならば、上記位相エラー Φ は、時間変動し、実際、 $\Delta \omega$ として示す周波数オフセットに寄与する。 $\Delta \omega = 0$ を達成し、位相 Φ を追跡するための2つの主なアプローチがある。一つのアプローチは位相ロックループを用いることである。エラー信号は、受信信号の位相を追跡するためにVCOを駆動するような方法で、回転されたI-Q出力から生成される。

【 0 0 8 5 】

もう一つは、位相を正確に追跡する代わりに、4ポートデバイス出力の粗周波数推定を行い、図6に示すように、それをステップ入力制御を持つ発振器の周波数制御に使うことである。

【 0 0 8 6 】

図6において、210Aは4ポートダイレクトコンバージョン回路を示し、211および212はサンプラを示し、213および214はA/Dコンバータを示し、215は位相推定器（エスティメータ）・ディローテータを示し、216は粗周波数推定器（エスティメータ）を示し、217は電圧制御発振器（VCO）を示している。

【0087】

粗周波数推定アルゴリズムは、受信信号 $r(t)$ のキャリアに対するローカル発振器の周波数ドリフトの度合いによって決定される周期により周期的に行われる。デジタル位相推定器（エスティメータ）215の実現は、変調機構の特性による。QAM変調については、位相推定器は、デジタルトラッキングループとして実現可能である。2つの主なアプローチは、Nのべき乗法および決定有向法(decision direct method)である（文献〔3〕参照：H.Meyr, M.Moenclaey, and S.Fechtel, Digital Communication Receivers: Synchronization, Channel Estimation, and Signal Processing）。

【0088】

ダウンコンバージョンのシングルステージを用いると、図1におけるスペクトル拡散(SS)受信機は、図6のダイレクトコンバータ受信機のハードウェアリファレンスモデルに適合する。PNコードチップ検出のためにダイレクトコンバージョン回路を使用することができ従来のデジタル相関技術を用いた逆拡散を行うことができる。しかしながら、他に採りうる道は、ダイレクト検波処理を用いるアナログ相関を実現することである。

【0089】

そのようなダイレクトコンバージョン回路は図3に示されている。上述したように、図3において、 $c(t)$ はPNコード（±1値）のローカルレプリカを示している。このローカルPNコードは、PNコード同期保持回路22において同期および同期保持処理を通して得られる必要がある。

【0090】

スペクトル拡散受信機的设计における要点は、PNコード $c(t)$ の同期である。拡散コードがデータにより変調されている場合、この同期を、達成するのは

困難である。

【0091】

実際のシステムにおいては、典型的には、無変調拡散コードが同期信号として送信される。この信号は、データフレームの始め、すなわちシンクあるいはパイロットバースト、あるいはパイロット信号として連続する場所に現出できる。

【0092】

大きな処理利得および高SNRの場合、データシンボルの転送内に符号同期捕捉が発生するPNコードにおけるデータ変調と仮定することができる。ここでの目的として、データ変調を伴わない拡散コードの転送と仮定することができる。最良な例は、IS-95あるいはWCDMAシステムにおけるパイロット信号である。

【0093】

図7は、図2のPNコード同期保持回路の構成例を示す図である。

PNコード同期保持回路220は、図7に示すように、PNコード生成器2201、位相調整回路2202、2203、乗算器2204、2205、加算器2206、2207、二乗検波器2108、2209、バンドパスフィルタ(BPF)2210、2211、エンベロープ検波器2212、2213、減算器2214、ループフィルタ2215、およびVCO2216を有している。

【0094】

短から中の長さのPNコードのシステム（たとえば、IS-95、あるいはWCDMAにおけるパイロット信号）では、この回路は、PNコード同期捕捉(acquisition) および同期保持(tracking)の2つの機能を実行できる。

【0095】

初期PNコードクロック周波数オフセットがさほど大きくなければ、ローカルPNコード同期捕捉処理においてPNコードを引き入れることによりスライドする。このスライド処理は、結局2つの符号をアライメントする（時間的に同期化させる）。そのような時に、同期保持回路は、2つの符号の同期を維持する。

【0096】

同期保持ループのVCOの周波数のステップ制御は、PNコード長およびフィ

ルタの帯域（あるいは積分時間に等価）による期間内に現出する同期のための実行可能な値にスライドレートが伴うように設計可能である。

【0097】

具体的には、PNコード生成器2201において、PNコード $c(t)$ はVCO2216による制御信号S2216に基づいて生成され、生成されたPNコード $c(t)$ は、位相調整回路2202、2203、および図3の5ポートダイレクトコンバージョン回路210の乗算器2101（あるいは図4の4ポートダイレクトコンバージョン回路210Aの乗算器2101）に出力される。

【0098】

位相調整回路2202においては、PNコード生成器2201により生成されたPNコード $c(t)$ の位相が、 $-\Delta$ （公称、 $\Delta = 1/2$ チップ）だけ遅延され、信号S2202（ $c(t - \Delta)$ ）が乗算器2204に出力される。

【0099】

位相調整回路2203においては、PNコード生成器2201により生成されたPNコード $c(t)$ の位相が、 $+\Delta$ （上述したように、公称、 $\Delta = 1/2$ チップ）だけ遅延され、信号S2203（ $c(t + \Delta)$ ）が乗算器2205に出力される。

【0100】

乗算器2204においては、ローカル信号 $l(t)$ [$= B \cos(\omega_0 t)$] が位相調整回路2202による出力信号S2202と掛け合わされ（乗算され）、信号S2204（ $B_c(t - \Delta) \cos(\omega_0 t)$ ）が加算器2206に出力される。

【0101】

乗算器2205においては、ローカル信号 $l(t)$ [$= B_c \cos(\omega_0 t)$] が位相調整回路2203による出力信号S2203と掛け合わされ（乗算され）、信号（ $B_c(t + \Delta) \cos(\omega_0 t)$ ）が加算器2207に出力される。

【0102】

加算器2206においては、受信信号 $r(t)$ [$= A c(t) \cos(\omega_0 t + \phi)$] と乗算器2204の出力信号S2204を加算し、信号S2206（ r

$(t) + B_C (t - \Delta) \cos(\omega_0 t)$ が二乗検波器 2 2 0 8 に出力される。

【0 1 0 3】

加算器 2 2 0 7 においては、受信信号 $r(t)$ と乗算器 2 2 0 5 の出力信号 S_{2204} を加算し、信号 $S_{2207} (r(t) + B_C (t + \Delta) \cos(\omega_0 t))$ が二乗検波器 2 2 0 9 に出力される。

【0 1 0 4】

二乗検波器 2 2 0 8 においては、信号 A 1 が加算器 2 2 0 7 の出力信号 S_{2207} に基づいて得られる。

【0 1 0 5】

同様に、二乗検波器 2 2 0 9 においては、信号 A 2 が加算器 2 2 0 8 の出力信号 S_{2208} に基づいて得られる。

【0 1 0 6】

ここで、信号 A 1 は次により与えられる。

【0 1 0 7】

【数 1 2】

$$\begin{aligned} (r(t) + B_C(t - \Delta) \cos(\omega_0 t))^2 = \\ r^2(t) + 2B_C r(t) \cos(\omega_0 t) + B_C^2 \cos^2(\omega_0 t) \quad (12) \end{aligned}$$

【0 1 0 8】

バンドパスフィルタ (BPF) 2 2 1 0 の出力は、次の入力に対するバンドパスフィルタの応答として得られる。

【0 1 0 9】

【数 1 3】

$$A B_C(t) \cos(\omega_{1r} t + \phi) \quad (13)$$

【0 1 1 0】

そして、次のように与えられる。

【0 1 1 1】

【数 1 4】

$$\overline{ABc(t)c(t-\Delta)}\cos(\omega_F t + \phi) \quad (14)$$

【0 1 1 2】

ここで、バーは図7のバンドパスフィルタの帯域の1/2に相当する帯域を有するローパスフィルタのフィルタリングを示している。

【0 1 1 3】

B 1におけるエンベロープ検波器 2 2 1 2の出力は、次のようになる。

【0 1 1 4】

【数 1 5】

$$\overline{ABc(t)c(t-\Delta)}$$

【0 1 1 5】

同様に、B 2点における信号（エンベロープ検波器 2 2 1 3の出力）は次のように与えられる。

【0 1 1 6】

【数 1 6】

$$\overline{ABc(t)c(t+\Delta)}$$

【0 1 1 7】

今、方形チップパルスとし、かつPNコードの相関自己ノイズを無視すると、引き入れPNコードとローカルに生成されたPNコード間のタイミングエラーを対でプロットしたとき、B 1およびB 2における信号は、図8に示すような値を持つ。

【0 1 1 8】

C点における信号（減算器 2 2 1 4 の出力）は、タイミングエラーの関数として、図 9 に示すように、“S”カーブを追跡する。

【0 1 1 9】

図 7 の P N コード同期保持回路 2 2 0 は、I F 周波数 ω_{IF} で動作する。それ自体、より簡単なローパスフィルタの代わりに二乗検波器の出力において 2 つのバンドパスフィルタを必要とする。

【0 1 2 0】

ローカル発振器周波数が、受信信号 $r(t)$ のキャリア周波数と等しい適当な周波数に選択された同期保持回路のベースバンドバージョンを設計することが可能である。そのような同期保持回路を設計するため、二乗検波器 2 2 0 8（2 2 0 9）の出力を、入力信号 $r(t)$ およびローカルリファレンス信号 $L_1(t)$ から考察する。

【0 1 2 1】

【数 1 7】

$$x(t) = Ac(t) \cos(\omega_c t + \phi) \quad (15)$$

【0 1 2 2】

【数 1 8】

$$L_1(t) = Bc(t-\tau) \cos(\omega_c t - \theta) \quad (16)$$

$$\begin{aligned} (x(t) + L_1(t))^2 = \\ r^2(t) + L_1^2(t) + ABc(t)c(t-\tau) \cos(\phi + \theta) + \text{double} \\ \text{frequency term} \end{aligned} \quad (17)$$

【0 1 2 3】

今、この信号および可能ならば他の二乗検波器の出力から、図 9 のようなトラッキングカーブ（“S”カーブ）を生成する必要がある。受信信号とリファレン

スローカル信号の周波数がロックしていない場合を考察する。この場合において、位相 ϕ は実際には時間変動であり、 $\phi(t) = \Delta \omega t$ と書くことができる。 $\Delta \omega$ は小さい周波数オフセットである。

【0124】

” S ” カーブを生成するためには、” アーリー(early) ” リファレンス信号 $L_E(t) = B_c(t + \tau) \cos(\omega_c - \theta)$ との相関は必ずしも必要でないことは明らかである。簡単化のため、図3における電圧伝達係数 k_{ij} は、1 (unity) に等しいもの仮定する。二乗検波器の一つの出力は次のようになる。

【0125】

【数19】

$$\begin{aligned} (x(t) + L_c(t))^2 = & \\ x^2(t) + L_c^2(t) + 2ABc(t)c(t + \tau)\cos(\Phi + \theta) + & \text{double} \\ \text{frequency term} & \quad (18) \end{aligned}$$

【0126】

上記において、要求される成分は第3項である。しかしながら、この項は、発振し、小さい $\Delta \omega$ はトラッキンググループに十分に長い時間にゼロになる。その結果、入力信号を θ だけシフトし、ローカルリファレンス $\cos(\omega_c t)$ を用いることにより効果的に直交成分を生成する。ここで、 $\theta = \pi/4$ は位相の公称値である。今、式(17)および(18)における信号は、積分時間の逆(inverse)に等しい帯域のローパスフィルタでフィルタリングされる。次の4つの信号が得られる。

【0127】

【数 2 0】

$$\overline{r^2(t) + L_1^2(t) + ABc(t)c(t-\tau)\cos(\phi+\theta)} \quad (19)$$

$$\overline{r^2(t) + L_1^2(t) + ABc(t)c(t-\tau)\cos(\phi-\theta)} \quad (20)$$

$$\overline{r^2(t) + L_2^2(t) + ABc(t)c(t+\tau)\cos(\phi+\theta)} \quad (21)$$

$$\overline{r^2(t) + L_2^2(t) + ABc(t)c(t+\tau)\cos(\phi-\theta)} \quad (22)$$

【0 1 2 8】

上記4つの信号の第1項は、SSチップ時間が積分時間、あるいはローパスフィルタ(LPF)帯域の逆(inverse)より十分に小さいと仮定する定数によって近似できる。この定数は、DCオフセットとして扱うことができ、除去できる。 $\theta = \pi/4$ を用いて、第1の2つの項は、アーリー相関のための値を得るための処理(二乗の和の平方根)が可能である。同様に、第2の2つの項は、遅延相関を得るための処理が可能である。しかしながら、より簡単なアプローチは、絶対値を使うこと、および2つの”S”カーブの和である”S”カーブを形成することである。ベクトルの成分としてこれら2つの項を考えれば、2つのアプローチは、ベクトルの L_1 および L_2 ノルムを計算することに対応する。 L_1 ノルムを使用する場合は、引き込み信号のタイミングエラーを ε と仮定すると、トラッキンググループの”S”カーブを次のように生成することができる。

【0 1 2 9】

【数 2 1】

$$\begin{aligned} S(\varepsilon) &= \left| \overline{ABc(t-\varepsilon)c(t-\tau)\cos(\phi+\theta)} \right| - \left| \overline{ABc(t-\varepsilon)c(t+\tau)\cos(\phi+\theta)} \right| \\ &+ \left| \overline{ABc(t-\varepsilon)c(t-\tau)\cos(\phi-\theta)} \right| - \left| \overline{ABc(t-\varepsilon)c(t+\tau)\cos(\phi-\theta)} \right| \end{aligned} \quad (23)$$

【0 1 3 0】

図 1 0 は、上記理論に基づいた図 2 の P N コード同期保持回路の他の構成例を示す図である。

【 0 1 3 1 】

P N コード同期保持回路 2 2 0 A は、図 1 0 に示すように、P N コード生成器 2 2 2 1、位相調整回路 2 2 2 2、2 2 2 3、乗算器 2 2 2 4、2 2 2 5、位相シフタ 2 2 2 6、2 2 2 7、2 2 2 8、2 2 2 9、加算器 2 2 3 0、2 2 3 1、2 2 3 2、2 2 3 3、二乗検波器 2 2 3 4、2 2 3 5、L P F 2 2 3 8、2 2 3 9、2 2 4 0、2 2 4 1、減算器 2 2 4 2、2 2 4 3、2 2 4 4、2 2 4 5、ノルム回路 2 2 4 6、2 2 4 7、総和回路 2 2 4 8、ループフィルタ 2 2 4 9、および V C O 2 2 5 0 を有している。

【 0 1 3 2 】

P N コード生成器 2 2 3 1 においては、P N コード $c(t)$ が V C O による制御信号 S 2 2 5 0 に基づいて生成され、生成された P N コード $c(t)$ は、位相調整回路 2 2 2 2、2 2 2 3、および図 3 の 5 ポートダイレクトコンバージョン回路 2 1 0 の乗算器 2 1 0 1（あるいは図 4 の 4 ポートダイレクトコンバージョン回路 2 1 0 A の乗算器 2 1 0 1）に出力される。

【 0 1 3 3 】

位相調整回路 2 2 2 2 においては、P N コード生成器 2 2 2 1 により生成された P N コード $c(t)$ の位相が、 $-\Delta$ （公称、 $\Delta = 1/2$ チップ）だけ遅延され、信号 S 2 2 2 2 ($c(t - \Delta)$) が乗算器 2 2 2 4 に出力される。

【 0 1 3 4 】

位相調整回路 2 2 2 3 においては、P N コード生成器 2 2 2 1 により生成された P N コード $c(t)$ の位相が、 $+\Delta$ だけ遅延され、信号 S 2 2 2 3 ($c(t + \Delta)$) が乗算器 2 2 2 5 に出力される。

【 0 1 3 5 】

乗算器 2 2 2 4 においては、ローカル信号 $l(t)$ [$= B \cos(\omega_0 t)$] が位相調整回路 2 2 2 2 の出力信号 S 2 2 2 2 と掛け合わされ（乗算され）、信号 S 2 2 2 4 ($B_c(t - \Delta) \cos(\omega_0 t)$) が位相シフタ 2 2 2 7 および加算器 2 2 3 0 に出力される。

【0136】

一方、乗算器2225においては、ローカル信号1(t)が位相調整回路2223による出力信号S2223と掛け合わされ(乗算され)、信号S2225($B_c(t+\Delta) \cos(\omega_0 t)$)が位相シフタ2228および加算器2233に出力される。

【0137】

位相シフタ2226においては、受信信号r(t)が θ (たとえば 45°)だけ位相シフトされ、信号S2226が加算器2230に出力される。

【0138】

位相シフタ2227においては、乗算器2224の出力信号S2224が θ だけ位相シフトされ、信号S2227が加算器2231に出力される。

【0139】

加算器2230においては、位相シフタ2226の出力信号S2226と乗算器2224の出力信号S2224とが加算され、信号S2230が二乗検波器2234に出力される。

【0140】

加算器2231においては、受信信号r(t)と位相シフタ2227の出力信号S2227とが加算され、信号S2231が二乗検波器2235に出力される。

【0141】

二乗検波器2234においては、加算器2230の出力信号S2230が二乗され、LPF2238に出力され、そして減算器2242に入力される。

【0142】

減算器2242においては、LPF2238の出力からDCオフセット等が除去され、ノルム回路2246に出力される。

【0143】

同様に、二乗検波器2235においては、加算器2231の出力信号S2231が二乗され、LPF2239に出力され、そして減算器2243に入力される。

【 0 1 4 4 】

減算器 2 2 4 3 においては、LPF 2 2 3 9 の出力から DC オフセット等が除去され、ノルム回路 2 2 4 6 に出力される。

【 0 1 4 5 】

ノルム回路 2 2 4 6 においては、ベクトルのノルムが計算され、総和回路 2 2 4 8 に出力される。

【 0 1 4 6 】

位相シフタ 2 2 2 8 においては、乗算器 2 2 2 5 の出力信号 S_{2225} が θ だけ位相シフトされ、信号 S_{2228} が加算器 2 2 3 2 に出力される。

【 0 1 4 7 】

位相シフタ 2 2 2 9 においては、受信信号 $r(t)$ が θ (たとえば 45°) だけ位相シフトされ、信号 S_{2229} が加算器 2 2 3 3 に出力される。

【 0 1 4 8 】

加算器 2 2 3 2 においては、受信信号 $r(t)$ と位相シフタ 2 2 2 8 の出力信号 S_{2228} とが加算され、信号 S_{2232} が二乗検波器 2 2 3 6 に出力される。

【 0 1 4 9 】

加算器 2 2 3 3 においては、位相シフタ 2 2 2 9 の出力信号 S_{2229} と乗算器 2 2 2 5 の出力信号 S_{2225} とが加算され、信号 S_{2233} が二乗検波器 2 2 3 7 に出力される。

【 0 1 5 0 】

二乗検波器 2 2 3 6 においては、加算器 2 2 3 2 の出力信号 S_{2232} が二乗され、LPF 2 2 4 0 に出力され、そして減算器 2 2 4 4 に入力される。

【 0 1 5 1 】

減算器 2 2 4 4 においては、LPF 2 2 4 0 の出力から DC オフセット等が除去され、ノルム回路 2 2 4 7 に出力される。

【 0 1 5 2 】

同様に、二乗検波器 2 2 3 7 においては、加算器 2 2 3 3 の出力信号 S_{2233} が二乗され、LPF 2 2 4 1 に出力され、そして減算器 2 2 4 5 に入力される。

【 0 1 5 3 】

減算器 2 2 4 5 においては、L P F 2 2 4 1 の出力から D C オフセット等が除去され、ノルム回路 2 2 4 7 に出力される。

【 0 1 5 4 】

ノルム回路 2 2 4 7 においては、ベクトルのノルムが計算され、総和回路 2 2 4 8 に出力される。

【 0 1 5 5 】

総和回路 2 2 4 8 においては、ノルム回路 2 2 4 6 および 2 2 4 7 の出力の総和がとられ、ループフィルタ 2 2 4 9 を介して V C O 2 2 5 0 に出力される。

【 0 1 5 6 】

V C O 2 2 5 0 においては、発振周波数がループフィルタ 2 2 4 9 の出力により変化し、制御信号 S 2 2 5 0 の値が発振周波数の変化に応じて変化する。

【 0 1 5 7 】

P N コード同期保持回路 2 2 0 A においては、L P F の帯域は S N R による。引き込み信号が無変調信号、たとえば I S - 9 5 あるいは W C D M A におけるパイロット信号を有するとすると、帯域は P N コード相関のための積分時間の逆とほぼ等しい。この帯域は、S N R および誤ったロックの確率要求によって選択される。

【 0 1 5 8 】

一方、引き込み信号がデータによって変調されていると、L P F の帯域は、データレートより小さくすべきではない、すなわち（等価）積分時間がデータ期間以下であるべきである。

【 0 1 5 9 】

図 7 および図 1 0 の I F およびベースバンド同期保持回路に比較においては、ダイレクトコンバージョン受信器は、典型的には影像阻止フィルタ (image rejection filter) を必要としないことに留意すべきである。パワー検出回路において干渉の強さが制限されるので、R F フロントエンドフィルタは、なお望ましく、非線形領域でこれら回路を駆動できる。しかしながら、通過 (pass-band) 域から

停止域(stop-band) のロールオフの点からみると、フィルタの設計はクリティカルではない。

【0160】

一方、I F 基調の受信機を用いると、R F フロントエンドフィルタは、影像周波数の除去の機能を有する。狭帯域システムでは、影像周波数が除去されることはクリティカルであり、フィルタの複雑さは、使用される I F 周波数による。小さい I F 周波数はローカル発振器周波数と近く、フィルタ仕様（ロールオフ）はより厳格である。

【0161】

一方、スペクトル拡散信号を用いると、利得処理の結果、影像阻止能力を備えた R F フィルタを使用することは、本質ではない。影像周波数の信号は、干渉として働き、受信機の効果は、S N R で約 3 d B の損失となる。

【0162】

図 1 1 は、本発明に係るスペクトル拡散受信機の第 2 の実施形態を示すブロック図である。

【0163】

スペクトル拡散受信機 3 0 は、直交拡散および逆拡散処理に対応して構成されている。

【0164】

スペクトル拡散受信機 3 0 は、図 1 1 に示すように、 n (n は 3 またはそれ以上の整数、本実施形態では、たとえば $n = 5$ または 4) ポートダイレクトコンバージョン回路 3 1、P N コード同期保持回路 3 2、デジタル回路 3 3、およびローカル発振器 3 4 を有している。

【0165】

n ポートダイレクトコンバージョン回路 3 1 は、送信側で P N コード $c(t)$ が乗算された受信信号 $r(t)$ と、P N コード同期保持回路 3 2 からのローカル P N コード ($C_i(t)$ と $C_q(t)$) を用いたローカル発振器 2 4 によるローカル信号 $l(t)$ を変調することにより生成されたリファレンスローカル信号 $l(t) c^*(t)$ (ここで $c^*(t)$ は後述するように複素拡散コードである)

とを線形合成で合成し、一つの信号あるいは2つあるいはそれ以上の信号を出力する。出力信号のアナログ電力値は、たとえばFET二乗検波器により検波される。

【0166】

PNコード同期回路32は、送信側からの受信信号 $r(t)$ およびローカル発振器34によるローカル信号 $l(t)$ に基づく同期(捕捉)および同期保持処理を通してローカルPNコード $c_i(t)$ と $c_q(t)$ を生成する。

【0167】

デジタル回路33は、図示しないA/Dコンバータを介したnポートダイレクトコンバージョン回路31の出力信号を、受信信号あるいはローカル信号に含まれる1または複数の信号成分に変換する。

【0168】

チップレベルでQPSK変調の幾つかのフォーマットを利用する3つの主なダイレクトコンバージョンスキームがある。ここでは、QPSK1、QPSK2、およびQPSK3が参照される。QPSK1においては、データシンボルを使用することにより正規のQPSK信号を形成し、2つ異なるPNコードを用いてデータシンボル(同相および直交キャリアにおける)の各々を拡散する。

【0169】

QPSK2においては、個々のデータシンボルを取り出すことができ、2つの異なるPNコードを用いてそれらを拡散することができる。一方の拡散信号は同キャリアで送信され、他方は直交キャリアで送信される。スペクトル拡散のこの形式は、IS-95のフォワードリンクにおいて用いられる。

【0170】

QPSK3は、典型的には複素拡散として言及され、3G CDMAシステムにおいて用いられる。

【0171】

まず、受信機において同期したローカルPNコードが存在すると仮定した信号のダイレクト検出のための5ポートデバイスの使用について考察し、PNコード同期のための回路について検討する。

【0172】

QPSK1の場合では、まず、同期したローカルPNコードおよびキャリア信号が存在する場合を考察する。この場合、受信信号は、實際上、同相および直交キャリア成分における2つの独自のSS信号から構成されることから、2つの5ポート回路を利用することができ、以上説明したように、BPSKの場合では、同相および直交信号を独立に復調できる。完全なキャリア同期が実現されれば、2つのブランチ（同相および直交）間は無干渉となる。

【0173】

次に、受信機において、同期したキャリアが無いが同期したPNコードがある場合を考察する。この場合、同相および直交データを復調するために2つの独立したタイプの回路を用いることができるが、2つのQPSKブランチにおける拡散コードの非ゼロ相互相関のために2つのブランチ間に干渉がある。この干渉の程度は、積分時間、フィルタの帯域、あるいは等価な処理利得により、3つのパラメータの大きい値により控えめに小さくすべきである。

【0174】

次に、nポートダイレクトコンバージョン回路31およびPNコード同期保持回路32の具体的な構成および基本的な機能について順を追って説明する。

【0175】

まず、nポートダイレクトコンバージョン回路31の具体的な構成について説明する。

【0176】

図12は、本発明に係る5（ $n=5$ ）ポートダイレクトコンバージョン回路の構成例を示す図である。

【0177】

5ポートダイレクトコンバージョン回路310は、図12に示すように、QPSK変調器3101、位相シフタ3102、3103、加算器3104、3105、検波器3106、3107、3108、およびRCフィルタ3109、3110、3111を有している。

【0178】

ここで、5ポートは、受信信号用入力端子 T_{INR} 、ローカル信号用入力端子 IN_1 、RCフィルタ3109の出力端子（ポート）、RCフィルタ3110の出力端子、およびRCフィルタ3111の出力端子により構成される。

【0179】

QPSK変調器3101においては、受信信号 $r(t)$ が、PNコード同期保持回路22において同期および同期保持処理を通して得られたPNコード $C_i(t)$ および $C_q(t)$ を用いて変調され、リファレンスローカル信号S3101が位相シフタ3103および加算器3104に出力される。

【0180】

位相シフタ3102においては、受信信号 $r(t)$ が θ （たとえば 45° ）だけ位相シフトされ、信号S3102が加算器3104に出力される。

【0181】

位相シフタ3103においては、リファレンスローカルS2102が θ だけ位相シフトされ、信号S3103が加算器3105に出力される。

【0182】

加算器3104においては、位相シフタ3102の出力信号S3102とリファレンスローカル信号S3101が加算され、信号S3104が検波器3107に出力される。

【0183】

加算器3105においては、位相シフタ3103の出力信号S3103と受信信号 $r(t)$ が加算され、信号S3105が検波器3108に出力される。

【0184】

検波器3106においては、受信信号 $r(t)$ の振幅成分が検波され、検波された振幅成分がRCフィルタ3109に供給される。

【0185】

検波器3107においては、加算器3104の出力信号S3104の振幅成分が検波され、検波された振幅成分がRCフィルタ3110に供給される。

【0186】

検波器3108においては、加算器3105の出力信号S3105の振幅成分

が検波され、検波された振幅成分がRCフィルタ3111に供給される。

【0187】

RCフィルタ3109は、たとえばローパスフィルタ(LPF)により構成され、検波器3106による振幅成分に対するフィルタリング処理を行い、パワー信号 P_0 をデジタル回路33に出力する。

【0188】

RCフィルタ3110は、たとえばLPFにより構成され、検波器3107による振幅成分に対するフィルタリング処理を行い、パワー信号 P_1 をデジタル回路33に出力する。

【0189】

RCフィルタ3111は、たとえばLPFにより構成され、検波器3108による振幅成分に対するフィルタリング処理を行い、パワー信号 P_2 をデジタル回路33に出力する。

【0190】

ここで、図12のダイレクトコンバージョン回路310におけるQPSK2およびQPSK3を考察する。以下のように2つのケースを一緒に扱うことができる。次の受信SS信号を考察する。

【0191】

【数22】

$$r(t) = \operatorname{Re} \left\{ d(t)c(t)e^{j(\omega_c t + \phi)} \right\} \quad (24)$$

【0192】

ここで、 $c(t) = c_i(t) + j c_q(t)$ は複素拡散コード(2つの実拡散コード)であり、 $d(t)$ はデータ信号である。上述したように、 $d(t)$ が実成分であれば、QPSK2であり、 $d(t)$ が複素成分であれば、QPSK3である。

【0193】

ここで、式(24)の信号を検波するためのダイレクトコンバージョン回路3

10について考察する。たとえば下記のローカル信号 $l_i(t)$ の総和に基づき、受信信号は二乗検波器に入力する。

【0194】

【数23】

$$l_i(t) = \operatorname{Re} \left\{ c^*(t) e^{-j(\omega_c t - \frac{\pi}{4} + \theta)} \right\}$$

【0195】

そして、次式(25)が得られる。

【0196】

【数24】

$$\begin{aligned} & \left(\operatorname{Re} \left\{ d(t)c(t)e^{j(\omega_c t + \phi)} \right\} + \operatorname{Re} \left\{ c^*(t)e^{-j(\omega_c t - \frac{\pi}{4} + \theta)} \right\} \right)^2 = \frac{1}{4} \times \\ & \left(d(t)c(t)e^{j(\omega_c t + \phi)} + d^*(t)c^*(t)e^{-j(\omega_c t + \phi)} + c^*(t)e^{-j(\omega_c t - \frac{\pi}{4} + \theta)} + c(t)e^{j(\omega_c t - \frac{\pi}{4} + \theta)} \right) \\ & = \gamma^2(t) + l_i^2(t) + |c(t)|^2 d(t)e^{j(\phi + \frac{\pi}{4} - \theta)} + |c(t)|^2 d^*(t)e^{-j(\phi + \frac{\pi}{4} - \theta)} \\ & + \text{double freq. terms} \end{aligned} \quad (25)$$

【0197】

受信およびローカル信号の二乗と二乗周波数項を減算し、 $|c(t)|^2 = 2$ と仮定すると(たとえば方形のローカルチップパルス)、次式が得られる。

【0198】

【数25】

$$I = \frac{1}{2} \left(d(t)e^{j(\phi + \frac{\pi}{4} - \theta)} + d^*(t)e^{-j(\phi + \frac{\pi}{4} - \theta)} \right) \quad (26)$$

【0199】

次のようなローカル信号を用いて上記と同様の処理により、結果Qを得る。

【0200】

【数26】

$$Ir(t) = \text{Re} \left\{ c^*(t) e^{-j(\omega_c t - \frac{\pi}{4} - \theta)} \right\} \quad (27)$$

【0201】

【数27】

$$Q = \frac{1}{2} \left(d(t) e^{j(\phi + \frac{\pi}{4} + \theta)} + d^*(t) e^{-j(\phi + \frac{\pi}{4} + \theta)} \right) \quad (28)$$

【0202】

今、 $\theta = \pi/4$ では、以下の2つの出力が得られる。

【0203】

【数28】

$$I(t) = \frac{1}{2} (d(t) e^{j\phi} + d^*(t) e^{-j\phi}) = \text{Re}(d(t) e^{j\phi}) \quad (29)$$

$$Q(t) = \frac{j}{2} (d(t) e^{j\phi} - d^*(t) e^{-j\phi}) = -\text{Im}(d(t) e^{j\phi}) \quad (30)$$

【0204】

したがって、データ信号は次のように確定できる。

【0205】

【数 29】

$$d(t) = (I(t) - jQ(t))e^{-j\phi} \quad (31)$$

【0206】

上記処理は、図12の5ポートダイレクトコンバージョン回路310において実行される。

【0207】

次に、種々のQPSKスキームのための図11のPNコード同期回路について説明する。そのアプローチは、ダイレクト検波対応回路を用いてPNコード同期を達成することであり、キャリア周波数および位相同期をベースバンド処理においてデジタル領域に任せることである。データ変調を伴わない受信信号の場合を仮定する。したがって、全てのQPSKスキームでは、同期問題は、次の形式の信号にロックすることに帰することになる。

【0208】

【数 30】

$$r(t) = A(c_I(t)\cos(\omega_c t + \phi) + c_Q(t)\sin(\omega_c t + \phi)) \quad (32)$$

【0209】

ここで、 $c_I(t)$ および $c_Q(t)$ は2つの拡散コード、QPSK2 (IS-95) の場合いわゆる直交拡散である。

【0210】

この場合、拡散コード同期を達成するため、送信機で互いにロックしているので、2つのPNコードのいずれかに同期すれば十分である。よって、主として、2つの直交拡散のいずれかにセットされた $c(t)$ を用いる図7あるいは図10のタイプの回路を用いることができる。

【0211】

また、トラッキングループにおいてより高いSNRを達成するために、図13

に示すような、ローカル Q P S K タイプの信号と効果的に相互関係を示す回路を実現できる。

【0 2 1 2】

図 1 3 は、ローカル Q P S K タイプの信号と効果的に相互関係を示す図 1 1 の P N コード同期保持回路の構成例を示す図である。

【0 2 1 3】

P N コード同期保持回路 3 3 0 は、図 1 3 に示すように、P N コード生成器 3 2 2 1 a、3 2 2 1 b、位相調整回路 3 2 2 2 a、3 2 2 2 b、3 2 2 3 a、3 2 2 3 b、Q P S K 復調器 3 2 2 4、3 2 2 5、位相シフタ 3 2 2 6、3 2 2 7、3 2 2 8、3 2 2 9、加算器 3 2 3 0、3 2 3 1、3 2 3 2、3 2 3 3、二乗検波器 3 2 3 4、3 2 3 5、3 2 3 6、3 2 3 7、L P F 3 2 3 8、3 2 3 9、3 2 4 0、3 2 4 1、減算器 3 2 4 2、3 2 4 3、3 2 4 4、3 2 4 5、ノルム回路 3 2 4 6、3 2 4 7、総和回路 3 2 4 8、ループフィルタ 3 2 4 9、および V C O 3 2 5 0 を有している。

【0 2 1 4】

P N コード生成器 3 2 3 1 a においては、P N コード $c_I(t)$ が V C O 3 2 5 0 による制御信号 S 3 2 5 0 に基づいて生成され、生成された P N コード $c_I(t)$ は、位相調整回路 3 2 2 2 a、3 2 2 3 b、および図 1 2 の 5 ポートダイレクトコンバージョン回路 3 1 0 の Q P S K 変調器 3 1 0 1 に出力される。

【0 2 1 5】

P N コード生成器 3 2 3 1 b においては、P N コード $c_Q(t)$ が V C O 3 2 5 0 による制御信号 S 3 2 5 0 に基づいて生成され、生成された P N コード $c_Q(t)$ は、位相調整回路 3 2 2 2 b、3 2 2 3 b、および図 1 2 の 5 ポートダイレクトコンバージョン回路 3 1 0 の Q P S K 変調器 3 1 0 1 に出力される。

【0 2 1 6】

位相調整回路 3 2 2 2 a においては、P N コード生成器 3 2 2 1 により生成された P N コード $c_I(t)$ の位相が、 $-\Delta$ (公称、 $\Delta = 1/2$ チップ) だけ遅延され、信号 S 3 2 2 2 a ($c_I(t - \Delta)$) が Q P S K 変調器 3 2 2 4 に出力される。

【 0 2 1 7 】

位相調整回路 3 2 2 2 b においては、PNコード生成器 3 2 2 1 により生成されたPNコード $c_Q(t)$ の位相が、 $-\Delta$ (公称、 $\Delta = 1/2$ チップ) だけ遅延され、信号 $S 3 2 2 2 b (c_Q(t - \Delta))$ がQPSK変調器 3 2 2 4 に出力される。

【 0 2 1 8 】

位相調整回路 3 2 2 3 a においては、PNコード生成器 3 2 2 1 により生成されたPNコード $c_I(t)$ の位相が、 $+\Delta$ だけ遅延され、信号 $S 3 2 2 3 a (c_I(t + \Delta))$ がQPSK変調器 3 2 2 5 に出力される。

【 0 2 1 9 】

位相調整回路 3 2 2 3 b においては、PNコード生成器 3 2 2 1 により生成されたPNコード $c_Q(t)$ の位相が、 $+\Delta$ だけ遅延され、信号 $S 3 2 2 3 b (c_Q(t + \Delta))$ がQPSK変調器 3 2 2 4 に出力される。

【 0 2 2 0 】

QPSK変調器 3 2 2 4 においては、ローカル信号 $l(t) [= B \cos(\omega_0 t)]$ が位相調整回路 3 2 2 2 a, 3 2 2 2 b の出力信号 $S 3 2 2 2 a$, 3 2 2 2 b によって変調され、信号 $S 3 2 2 4$ が位相シフタ 3 2 2 7 および加算器 3 2 3 0 に出力される。

【 0 2 2 1 】

一方、QPSK変調器 3 2 2 5 においては、ローカル信号 $l(t)$ が位相調整回路 3 2 2 3 a, 3 2 2 3 b の出力信号 $S 3 2 2 3 a$, 3 2 2 3 b によって変調され、信号 $S 3 2 2 5$ が位相シフタ 3 2 2 8 および加算器 3 2 3 3 に出力される。

【 0 2 2 2 】

位相シフタ 3 2 2 6 においては、受信信号 $r(t)$ が θ (たとえば 45°) だけ位相シフトされ、信号 $S 3 2 2 6$ が加算器 3 2 3 0 に出力される。

【 0 2 2 3 】

位相シフタ 2 2 2 7 においては、QPSK変調器 3 2 2 4 の出力信号 $S 3 2 2 4$ が θ だけ位相シフトされ、信号 $S 3 2 2 7$ が加算器 3 2 3 1 に出力される。

【 0 2 2 4 】

加算器 3 2 3 0 においては、位相シフタ 3 2 2 6 の出力信号 S 3 2 2 6 と Q P S K 変調器 3 2 2 4 の出力信号 S 3 2 2 4 とが加算され、信号 S 3 2 3 0 が二乗検波器 3 2 3 4 に出力される。

【 0 2 2 5 】

加算器 2 2 3 1 においては、受信信号 $r(t)$ と位相シフタ 3 2 2 7 の出力信号 S 3 2 2 7 とが加算され、信号 S 3 2 3 1 が二乗検波器 3 2 3 5 に出力される。

【 0 2 2 6 】

二乗検波器 3 2 3 4 においては、加算器 3 2 3 0 の出力信号 S 3 2 3 0 が二乗され、L P F 3 2 3 8 に出力され、そして減算器 3 2 4 2 に入力される。

【 0 2 2 7 】

減算器 3 2 4 2 においては、L P F 3 2 3 8 の出力から D C オフセット等が除去され、ノルム回路 3 2 4 6 に出力される。

【 0 2 2 8 】

同様に、二乗検波器 3 2 3 5 においては、加算器 3 2 3 1 の出力信号 S 3 2 3 1 が二乗され、L P F 3 2 3 9 に出力され、そして減算器 3 2 4 3 に入力される。

【 0 2 2 9 】

減算器 3 2 4 3 においては、L P F 3 2 3 9 の出力から D C オフセット等が除去され、ノルム回路 3 2 4 6 に出力される。

【 0 2 3 0 】

ノルム回路 3 2 4 6 においては、ベクトルのノルムが計算され、総和回路 3 2 4 8 に出力される。

【 0 2 3 1 】

位相シフタ 3 2 2 8 においては、Q P S K 変調器 3 2 2 5 の出力信号 S 3 2 2 5 が θ だけ位相シフトされ、信号 S 3 2 2 8 が加算器 3 2 3 2 に出力される。

【 0 2 3 2 】

位相シフタ 3 2 2 9 においては、受信信号 $r(t)$ が θ (たとえば 45°) だ

け位相シフトされ、信号 S 3 2 2 9 が加算器 3 2 3 3 に出力される。

【 0 2 3 3 】

加算器 3 2 3 2 においては、受信信号 $r(t)$ と位相シフタ 3 2 2 8 の出力信号 S 3 2 2 8 とが加算され、信号 S 3 2 3 2 が二乗検波器 3 2 3 6 に出力される。

【 0 2 3 4 】

加算器 3 2 3 3 においては、位相シフタ 3 2 2 9 の出力信号 S 3 2 2 9 と Q P S K 変調器 3 2 2 5 の出力信号 S 3 2 2 5 とが加算され、信号 S 3 2 3 3 が二乗検波器 3 2 3 7 に出力される。

【 0 2 3 5 】

二乗検波器 3 2 3 6 においては、加算器 3 2 3 2 の出力信号 S 3 2 3 2 が二乗され、L P F 3 2 4 0 に出力され、そして減算器 3 2 4 4 に入力される。

【 0 2 3 6 】

減算器 3 2 4 4 においては、L P F 3 2 4 0 の出力から D C オフセット等が除去され、ノルム回路 3 2 4 7 に出力される。

【 0 2 3 7 】

同様に、二乗検波器 3 2 3 7 においては、加算器 3 2 3 3 の出力信号 S 3 2 3 3 が二乗され、L P F 3 2 4 1 に出力され、そして減算器 3 2 4 5 に入力される。

【 0 2 3 8 】

減算器 3 2 4 5 においては、L P F 3 2 4 1 の出力から D C オフセット等が除去され、ノルム回路 3 2 4 7 に出力される。

【 0 2 3 9 】

ノルム回路 3 2 4 7 においては、ベクトルのノルムが計算され、総和回路 3 2 4 8 に出力される。

【 0 2 4 0 】

総和回路 3 2 4 8 においては、ノルム回路 3 2 4 6 および 3 2 4 7 の出力の総和がとられ、ループフィルタ 3 2 4 9 を介して V C O 3 2 5 0 に出力される。

【 0 2 4 1 】

VCO 3 2 5 0 においては、発振周波数がループフィルタ 3 2 4 9 の出力により変化し、制御信号 S 3 2 5 0 の値が発振周波数の変化に応じて変化する。

【0 2 4 2】

図 1 3 の構成によれば、A（減算器 3 2 4 2 の出力）における信号は次のように与えられる。

【0 2 4 3】

【数 3 1】

$$\begin{aligned} & \left(\frac{B}{2} \left(c(t-\Delta) e^{j(\omega_1 t - \theta)} + c^*(t-\Delta) e^{-j(\omega_1 t - \theta)} \right) + \frac{A}{2} \left(c(t) e^{j(\omega_1 t + \phi)} + c^*(t) e^{-j(\omega_1 t + \phi)} \right) \right)^2 \\ &= \left(B \operatorname{Re} \left\{ c(t-\Delta) e^{j(\omega_1 t - \theta)} \right\} \right)^2 + \left(A \operatorname{Re} \left\{ c(t) e^{j(\omega_1 t + \phi)} \right\} \right)^2 + AB \operatorname{Re} \left\{ c(t-\Delta) c(t) e^{j(2\omega_1 t + \phi - \theta)} \right\} \\ &+ AB \operatorname{Re} \left\{ c^*(t-\Delta) c^*(t) e^{j(\phi + \theta)} \right\} \end{aligned}$$

【0 2 4 4】

今、上記において第 1 の 3 つの項は、DC あるいは二重周波数項である。よって、信号がローパスフィルタを通過すると、DC オフセットが除去され、次のような A における信号が得られる。

【0 2 4 5】

【数 3 2】

$$AB \operatorname{Re} \left\{ \overline{c^*(t-\Delta) c(t)} e^{j(\phi + \theta)} \right\} \quad (33)$$

【0 2 4 6】

ここで、バーはローパスフィルタリングを示している。同様の方法で、B⁻, A⁺, B⁺ における信号はそれぞれ次のように得られる。

【0 2 4 7】

【数 33】

$$AB Re \left\{ \overline{c^*(t-\Delta)c(t)} e^{j(\phi-\theta)} \right\} \quad (34)$$

$$AB Re \left\{ \overline{c^*(t+\Delta)c(t)} e^{j(\phi+\theta)} \right\} \quad (35)$$

$$AB Re \left\{ \overline{c^*(t+\Delta)c(t)} e^{j(\phi-\theta)} \right\} \quad (36)$$

【0248】

式(33)および式(34)における2つの値をベクトルおよび得られる L_2 ノルムの2つの成分として扱えば、トラッキンググループのためのエラー信号の計算における任意の位相依存性を除去できる。

【0249】

また、簡単化の実現および L_1 ノルムを伴う計算に役立つ。ここでノルムの計算は、2つの複素数の絶対値の和に帰着することになる。

【0250】

次に、キャリア位相シフタを必要としない略最適な同期保持回路について考察する。

【0251】

図14は、キャリア位相シフタを備えない図11のPNコード同期保持回路の他の構成例を示す図である。

【0252】

図14においては、乗算器3251および3252が図13のQPSK変調器3224の代わりに設けられている。乗算器3251は、ローカル信号1(t)と位相調回路3222aの出力信号S3222aを乗算する。乗算器3252は、ローカル信号1(t)と位相調回路3222bの出力信号S3222bを乗算する。

【0253】

同様に、図14においては、乗算器3253および3254が図13のQPSK変調器3225の代わりに設けられている。乗算器3253は、ローカル信号

1 (t) と位相調回路 3 2 2 3 a の出力信号 S 3 2 2 3 a を乗算する。乗算器 3 2 5 4 は、ローカル信号 1 (t) と位相調回路 3 2 2 3 b の出力信号 S 3 2 2 3 b を乗算する。

【0 2 5 4】

また、図 1 4 においては、加算器 3 2 5 5 および 3 2 5 6 が、図 1 3 の位相シフタ 3 2 2 6 および 3 2 2 7、並びに加算器 3 2 3 0 および 3 2 3 1 の代わりに設けられている。加算器 3 2 5 5 は、受信信号 r (t) と乗算器 3 2 5 1 の出力信号 S 3 2 5 1 を加算する。加算器 3 2 5 6 は、受信信号 r (t) と乗算器 3 2 5 2 の出力信号 S 3 2 5 2 を加算する。

【0 2 5 5】

また、図 1 4 においては、加算器 3 2 5 7 および 3 2 5 8 が、図 1 3 の位相シフタ 3 2 2 8 および 3 2 2 9、並びに加算器 3 2 3 2 および 3 2 3 3 の代わりに設けられている。加算器 3 2 5 7 は、受信信号 r (t) と乗算器 3 2 5 4 の出力信号 S 3 2 5 4 を加算する。加算器 3 2 5 8 は、受信信号 r (t) と乗算器 3 2 5 4 の出力信号 S 3 2 5 4 を加算する。

【0 2 5 6】

図 1 4 の構成によれば、A (減算器 3 2 4 2 の出力) における信号は次のように与えられる。

【0 2 5 7】

【数 3 4】

$$\begin{aligned} & AB \operatorname{Re} \left\{ \overline{c_i(t-\Delta)} c_i(t) e^{j\phi} \right\} \\ &= AB \left(\overline{c_i(t-\Delta)} c_i(t) \cos \phi - \overline{c_i(t-\Delta)} c_q(t) \sin \phi \right) \\ &\approx AB \overline{c_i(t-\Delta)} c_i(t) \cos \phi \end{aligned} \quad (37)$$

【0 2 5 8】

ここで、近似は、低相互相関を有する同相および直交コード $c_I(t)$ および $c_Q(t)$ に基づく。同様に、B (減算器 3 2 4 3 の出力) における信号は次のように計算できる。

【0259】

【数35】

$$\begin{aligned}
 & AB \operatorname{Re} \left\{ \overline{c_Q(t-\Delta)c(t)} e^{j\phi} \right\} \\
 &= AB \left(\overline{c_Q(t-\Delta)c_I(t)} \cos \phi - \overline{c_Q(t-\Delta)c_Q(t)} \sin \phi \right) \quad (38) \\
 &= -AB \overline{c_Q(t-\Delta)c_Q(t)} \sin \phi
 \end{aligned}$$

【0260】

今、A-およびB-における信号を考察すると、両者をゼロにさせる位相 ϕ の値がない。 $|\cos \phi|$ がゼロになると、 $|\sin \phi|$ が最大となり、逆もまた同様である。上記と同様の方法において、回路のより低いブランチに対応する信号は次のように計算可能である。

【0261】

【数36】

$$\begin{aligned}
 & AB \operatorname{Re} \left\{ \overline{c_I(t+\Delta)c(t)} e^{j\phi} \right\} \\
 &= AB \left(\overline{c_I(t+\Delta)c_I(t)} \cos \phi - \overline{c_I(t+\Delta)c_Q(t)} \sin \phi \right) \quad (39) \\
 &= AB \overline{c_I(t+\Delta)c_I(t)} \cos \phi
 \end{aligned}$$

【0262】

【数37】

$$\begin{aligned}
 & AB \operatorname{Re} \left\{ \overline{c_Q(t+\Delta)c(t)} e^{j\phi} \right\} \\
 &= AB \left(\overline{c_Q(t+\Delta)c_I(t)} \cos \phi - \overline{c_Q(t+\Delta)c_Q(t)} \sin \phi \right) \quad (40) \\
 &= -AB \overline{c_Q(t+\Delta)c_Q(t)} \sin \phi
 \end{aligned}$$

【0263】

図14に示すように、A-、B-、A+、およびB+における信号は処理できる。しかしながら、2つのノルムブロック（ノルム回路3246、3247）と

加算器（あるいは減算器）を、存在するループにおけるノイズ、DCオフセット、および他の欠陥によりよい性能を持つさらに一般化されたブロックと置き換えることが望ましい。

【 0 2 6 4 】

図 1 5 に示す一般化されらブロックが利用できる。この場合、エラー信号を計算するためのアルゴリズムは、いずれの欠陥にも活用でき、アナログ回路の成分の特性の変化にさえ適応できる。

【 0 2 6 5 】

図 1 6 は、ソフトウェア無線用の図 1 1 の PN コード同期保持回路の他の構成例を示す図である。

【 0 2 6 6 】

図 1 6 の回路 3 2 0 b が図 1 3 の回路と異なる点は、図 1 3 の DC 除去用減算器 3 2 4 2 ～ 3 2 4 5、ノルム回路 3 2 4 6 および 3 2 4 7、総和回路 3 2 4 8、およびループフィルタ 3 2 4 9 の代わりに、LPF 3 2 3 8, 3 2 3 9, 3 2 4 0, および 3 2 4 1 の出力に AD コンバータ 3 2 6 0, 3 2 6 1, 3 2 6 2, および 3 2 6 3 を設け、かつ、ソフトウェア無線アーキテクチャを生成する部分であるデジタルプロセッサ 3 2 6 4 を設けたことにある。

【 0 2 6 7 】

ここまで検討した種々の DS / SS 同期保持器回路のためのアーキテクチャは、RF 周波数で動作する部分、およびより低い周波数で動作する部分を含む。低周波数部は、異なる干渉環境、および回路によって導入される周波数オフセットおよび DC オフセットの異なるケースにおける同期保持回路の柔軟な動作を達するするために、デジタル式に実現できる。

【 0 2 6 8 】

そのような変更は、より高速なロック処理も生じさせることができる。したがって、最適化された同期捕捉回路および同期保持回路の設計では、一つのユニットに含めることができる。

【 0 2 6 9 】

したがって、PN コード同期保持回路 3 2 0 B においては、A / D コンバータ

3 2 6 0 ~ 3 2 6 3 が L P F (ローパスフィルタ) 3 2 3 8 ~ 3 2 4 1 の後段に設けられている。また、上述したように、図 1 3 の D C 除去用減算器 3 2 4 2 ~ 3 2 4 5、ノルム回路 3 2 4 6 および 3 2 4 7、総和回路 3 2 4 8、およびループフィルタ 3 2 4 9 が、全てデジタルプロセッサ 3 2 6 4、すなわち全てのソフトウェア無線アーキテクチャの部分に組み入れられている。それはそのようなアーキテクチャにおけるソフトウェアモジュールとなり得る。

【 0 2 7 0 】

また、図 3 および図 4 のダイレクトコンバージョン回路 2 1 0 および 2 1 0 A は、パワー検波用 F E T デバイス (上述した文献 [1] 参照) の基本原理を含む代替の形態を採用できる。これらの形態の全ては、少なくとも 2 つの入力 (受信信号およびローカルリファレンス信号) と少なくとも 2 つの出力信号を持つ。各出力は、一方の入力信号が、他方に対して角度 θ だけ位相シフトされている入力信号の和のパワー信号 (ローパスでフィルタリングされた信号) から構成される。出力信号は、受信信号の同相および直交成分を抽出可能にするに十分な情報を含む。4 ポート回路は、基本的には、F E T 出力における信号パワー (電力) をローパス (たとえば R C フィルタ) でフィルタリングする、図 1 7 に示すような形態を持つ。

【 0 2 7 1 】

一般化された図 1 7 の 4 ポートダイレクトコンバージョン回路に基づいて、図 1 8 に示すような一般化された P N コード同期保持回路を設計できる。

【 0 2 7 2 】

図 1 8 において、3 2 5 6 は P N 生成器を示し、3 2 6 6 は変調器を示し、3 2 6 7 および 3 2 6 8 は 4 ポートダイレクトコンバージョン回路を示している。

【 0 2 7 3 】

たとえば、変調器 3 2 6 6 は、図 1 3 の位相調整回路 3 2 2 2 a, 3 2 2 2 b, 3 2 2 3 a, および 3 2 2 3 b、並びに Q P S K 変調器 3 2 2 4 および 3 2 2 5 を含み、一方、4 ポートダイレクトコンバージョン回路 3 2 6 7 は、図 1 3 の位相シフタ 3 2 2 6, 3 2 2 7、加算器 3 2 3 0, 3 2 3 1、二乗検波器 3 2 3 4, 3 2 3 5、および L P F 3 2 3 8, 3 2 3 9 を含んでいる。

【 0 2 7 4 】

同様に、4ポートダイレクトコンバージョン回路3268は、図13の位相シフタ3228、3229、加算器3232、3233、二乗検波器3236、3237、およびLPF3240、3241を含んでいる。

【 0 2 7 5 】

図16および図18の回路は、ソフトウェアモジュール（デジタルプロセッサ）におけるアルゴリズムを適切に設計することにより、PNコード同期捕捉と同期保持の両方に使用することができる。PNコード同期捕捉では、モジュールは、究極的に、ローカルPNコードを受信したPNコードを用いるアルゴリズムに取り入れる周波数系列(sequence)を通したVCO3250の効果的に周波数を進める（ステップする）エラー信号系列を出力できる。いずれの同期捕捉および同期保持回路において、重要なパラメータは、二乗検波器3234～3237の出力、あるいはA/Dコンバータ3260～3263の入力におけるフィルタの帯域である。

【 0 2 7 6 】

この帯域は、同等の積分時間を効果的に決定する。最適な同期捕捉回路は、受信信号 $r(t)$ のSNRによる積分時間を持たなければならない。固定帯域（FET出力における固定RCフィルタ）の4ポートダイレクトコンバージョン回路を設計でき、さらにソフトウェアモジュールにおけるデジタル式のフィルタリングを実現できる。ソフトウェアモジュールの実際のアルゴリズムは、PNコード長、受信信号のSNR、および同期捕捉処理の開始時のクロック周波数不確定による。

【 0 2 7 7 】

この実施形態において、直接拡散スペクトル拡散信号のためのダイレクト検波およびPNコード同期用回路について説明した。これら回路は、最近開発された高い線形性の程度を示す広帯域ダイレクト検波FET回路の使用に基づいている。本実施形態において説明した回路は、スペクトル拡散における逆拡散機能をアナログにより効果的に実現している。そのような実現は、結果としてPNコード拡散クロック周波数と無関係に受信機の複雑さをもたらす。その結果である回路

は、3 G W C D M Aあるいはその他の将来のシステム用広帯域受信機の設計に重要である。

【0 2 7 8】

すなわち、本実施形態によれば、F E T広帯域ダイレクトコンバータ回路に基づく直接拡散R Fスペクトル拡散信号のアナログの逆拡散およびダイレクトコンバージョンのための回路が述べられている。この回路は、回路の複雑さがチップレートに無関係な、非常に高チップレートの電力効率スペクトル拡散システムの設計を可能としている。この回路の使用は、背景技術の現状における問題、すなわち、チップレートに伴って電力消費が増大するスペクトル拡散の現実を解決する。

【0 2 7 9】

また、この実施形態においては、直接拡散スペクトル拡散の異なるタイプのP Nコード同期および逆拡散のための回路が述べられている。これらの回路は、現代の直接拡散スペクトル拡散受信機の背景技術において習慣的に現実化されるチップレートに代わり、データシンボルレート（あるいは、シンボルレートの小さい倍数）でデジタル処理が実行されるソフトウェア無線受信機の設計を可能としている。

【0 2 8 0】

これらの回路では、チップレートは、帯域およびF E Tダイレクト検波回路の線形性によってのみ制限される。最近の非常に広帯域で広ダイナミックレンジを持つF E Tダイレクト検波器の開発は、ここで提案した直接拡散スペクトル拡散受信機の設計のための提案されたアプローチの実現を可能としている。

【0 2 8 1】

したがって、本発明は、インターネットに接続する低コスト情報処理デバイスを含む、スペクトル拡散およびC D M Aシステムのための極めて簡単化された受信機の設計を許容する。スペクトル拡散システムは、受信機の複雑さによる拡散帯域において典型的に制限を受ける。本発明は、これらシステムの帯域制限を、非常に拡げている。

【0 2 8 2】

なお、本実施形態においては、 n ポートデバイスとして、逆拡散用ダイレクトコンバージョン回路を例に説明したが、本発明は、他のタイプのダイレクトコンバージョン回路、たとえば図19に示すような（たとえば、特開平11-317777号公報 参照）回路を適用できる。

【0283】

図19のダイレクトコンバージョン回路40は、直交変調器41、直交変調器42、およびLPF43および44を有している。

【0284】

直交変調器41は、ローカル発振器411、乗算器412、413、および414、並びに位相シフタ（ $\pi/2$ シフタ）415により構成されている。

【0285】

直交変調器41においては、乗算器412がローカル信号1（ t ）とPNコード $c(t)$ を掛け合わせる（乗算する）。

【0286】

また、直交変調器42は、ローカル発振器421、乗算器422、423、および424、位相シフタ425、および加算器426により構成されている。

【0287】

直交変調器42においては、乗算器432がローカル信号1（ t ）とPNコード $c(t)$ を掛け合わせる（乗算する）。

【0288】

本発明は図解の目的のために選択された特定の実施形態に関連付けて説明したが、本発明の基本概念および範囲を逸脱しない範囲で、当業者によって変更しえる種々の変更が可能であることは明らかである。

【0289】

以上説明したように、本スペクトル拡散受信機によれば、スペクトル拡散受信機はダイレクトコンバージョン技術に基づく回路21、22を採用している。これらの回路は、大幅に複雑が低減し、標準アプローチの完全なデジタル受信機で実現可能なレートより非常に高速のチップレートのスペクトル拡散受信機を許容する、これらの回路を用いることによって、受信機でのデジタル処理は、背景技

術におけるスペクトル拡散およびC D M A 受信機的设计に習慣的に用いられるチップレートの倍数でなく、データシンボルレートで実行される。

【図面の簡単な説明】

【図 1】

従来の直接拡散スペクトル拡散受信機のブロック図である。

【図 2】

本発明に係るスペクトル拡散受信機の第 1 の実施形態を示すブロック図である。

【図 3】

本発明に係る 5 ポートダイレクトコンバージョン回路の構成例を示す図である。

【図 4】

本発明に係る 4 ポートダイレクトコンバージョン回路の構成例を示す図である。

【図 5】

直交変調信号の一般的な場合における 4 ポートダイレクトコンバージョン回路の等価回路を示す図である。

【図 6】

周波数見積およびデジタル見積の場合に基づく受信機を示す図である。

【図 7】

図 2 の P F 符号同期保持回路の構成例を示す図である。

【図 8】

P N コード相関の説明図である。

【図 9】

同期保持” S ” カーブの説明図である。

【図 1 0】

図 2 の P N コード同期保持回路の他の構成例を示す図である。

【図 1 1】

本発明に係るスペクトル拡散受信機の第 2 の実施形態を示すブロック図である。

【図 1 2】

本発明に係る D S / B P S K 用 5 ポートダイレクトコンバージョン回路の構成例を示す図である。

【図 1 3】

ローカル Q P S K タイプの信号と効果的に相互関係を示す図 1 1 の P N コード同期保持回路の構成例を示す図である。

【図 1 4】

キャリア位相シフタを有していない図 1 1 の P N コード同期保持回路 5 の他の構成例を示す図である。

【図 1 5】

一般化されたエラー信号計算の説明図である。

【図 1 6】

ソフトウェア無線用の図 1 1 の P N コード同期保持回路の他の構成例を示す図である。

【図 1 7】

一般化された 4 ポートダイレクトコンバージョン回路を示す図である。

【図 1 8】

一般化されたソフトウェア無線用 P N コード同期保持回路を示す図である。

【図 1 9】

本発明に係るダイレクトコンバージョン回路の他のタイプを示す図である。

【符号の説明】

- 2 0 スペクトル拡散受信機
- 2 1 n ポートダイレクトコンバージョン回路
- 2 2 P N コード同期保持回路
- 2 3 デジタル回路
- 2 4 ローカル発振器
- 2 1 0 5 ポートダイレクトコンバージョン回路
- 2 1 0 1 乗算器



2 1 0 2, 2 1 0 3 位相シフタ
2 1 0 4, 2 1 0 5 加算器
2 1 0 6 ~ 2 1 0 8 二乗検波器
2 1 0 9 ~ 2 1 1 1 R C フィルタ
2 1 0 A 4 ポートダイレクトコンバージョン回路
2 2 0 P N コード同期保持回路
2 2 0 1 P N コード生成器
2 2 0 2, 2 2 0 3 位相調整回路
2 2 0 4, 2 2 0 5 乗算器
2 2 0 6, 2 2 0 7 加算器
2 1 0 8, 2 2 0 9 二乗検波器
2 2 1 0, 2 2 1 1 バンドパスフィルタ (B P F)
2 2 1 2, 2 2 1 3 エンベロープ検波器
2 2 1 4 減算器
2 2 1 5 ループフィルタ
2 2 1 6 V C O
2 2 0 A P N コード同期保持回路
2 2 2 1 P N コード生成器
2 2 2 2, 2 2 2 3 位相調整回路
2 2 2 4, 2 2 2 5 乗算器
2 2 2 6 ~ 2 2 2 9 位相シフタ
2 2 3 0 ~ 2 2 3 3 加算器
2 2 3 4 ~ 2 2 3 7 二乗検波器
2 2 3 8 ~ 2 2 4 1 ローパスフィルタ (L P F)
2 2 4 2 ~ 2 2 4 3 減算器
2 2 4 6, 2 2 4 7 ノルム回路
2 2 4 8 総和回路
2 2 4 9 ループフィルタ
2 2 5 0 V C O



- 3 0 スペクトル拡散受信機
- 3 1 nポートダイレクトコンバージョン回路
- 3 2 PNコード同期保持回路
- 3 3 デジタル回路
- 3 4 ローカル発振器
- 3 1 0 5ポートダイレクトコンバージョン回路
- 3 1 0 1 QPSK変調器
- 3 1 0 2, 3 1 0 3 位相シフタ
- 3 1 0 4, 3 1 0 5 加算器
- 3 1 0 6 ~ 3 1 0 8 二乗検波器
- 3 1 0 9 ~ 3 1 1 1 RCフィルタ
- 3 2 0 PNコード同期保持回路
- 3 2 2 1 a, 3 2 2 1 b PNコード生成器
- 3 2 2 2 a, 3 2 2 2 b, 3 2 2 3 a, 3 2 2 3 b 位相調整回路
- 3 2 2 4, 3 2 2 5 QPSK変調器
- 3 2 2 6 ~ 3 2 2 9 位相シフタ
- 3 2 3 0 ~ 3 2 3 3 加算器
- 3 2 3 4 ~ 3 2 3 7 二乗検波器
- 3 2 3 8 ~ 3 2 4 1 LPF
- 3 2 4 2 ~ 3 2 4 5 減算器
- 3 2 4 8 総和回路
- 3 2 4 9 ループフィルタ
- 3 2 5 0 VCO
- 3 2 0 A PNコード同期保持回路
- 3 2 5 1 ~ 3 2 5 4 乗算器
- 3 2 5 5 ~ 3 2 5 8 加算器
- 3 2 0 B PNコード同期保持回路
- 3 2 6 0 ~ 3 2 6 3 A/Dコンバータ
- 3 2 6 4 デジタルプロセッサ

3 2 0 C P Nコード同期保持回路

3 2 6 6 変調器

3 2 6 7, 3 2 6 8 4ポートダイレクトコンバージョン回路

4 0 ダイレクトコンバージョン回路

4 1 直交変調器

4 2 直交変調器

4 3, 4 4 L P F

4 1 1, 4 2 1 ローカル発振器

4 1 2 ~ 4 1 4, 4 2 2 ~ 4 2 4 乗算器

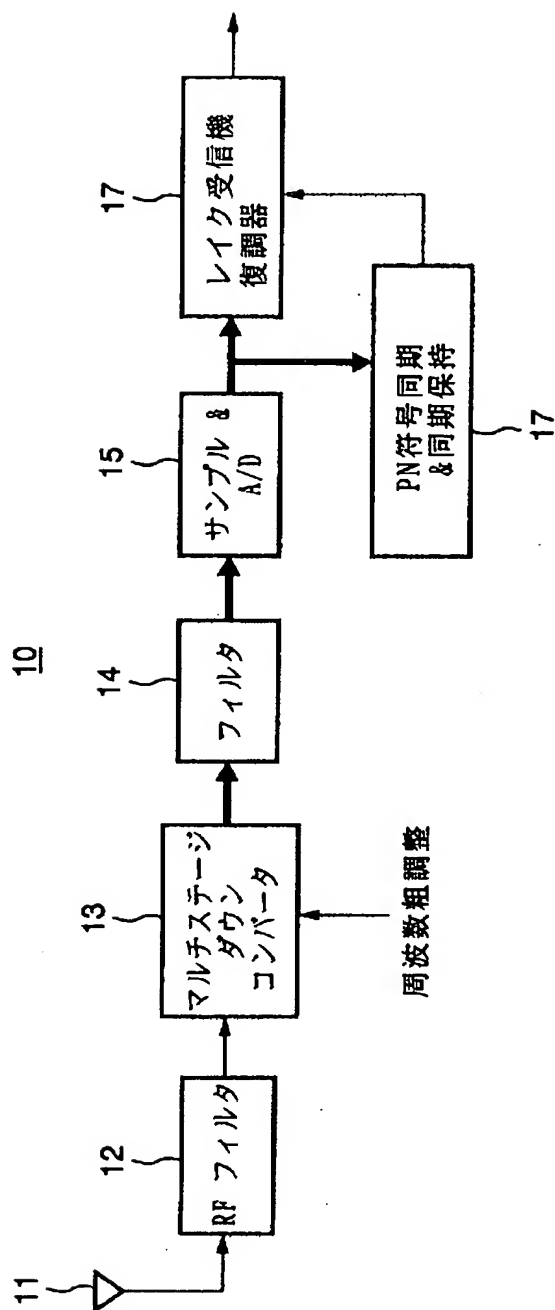
4 1 5, 4 2 5 位相シフタ

4 2 6 加算器

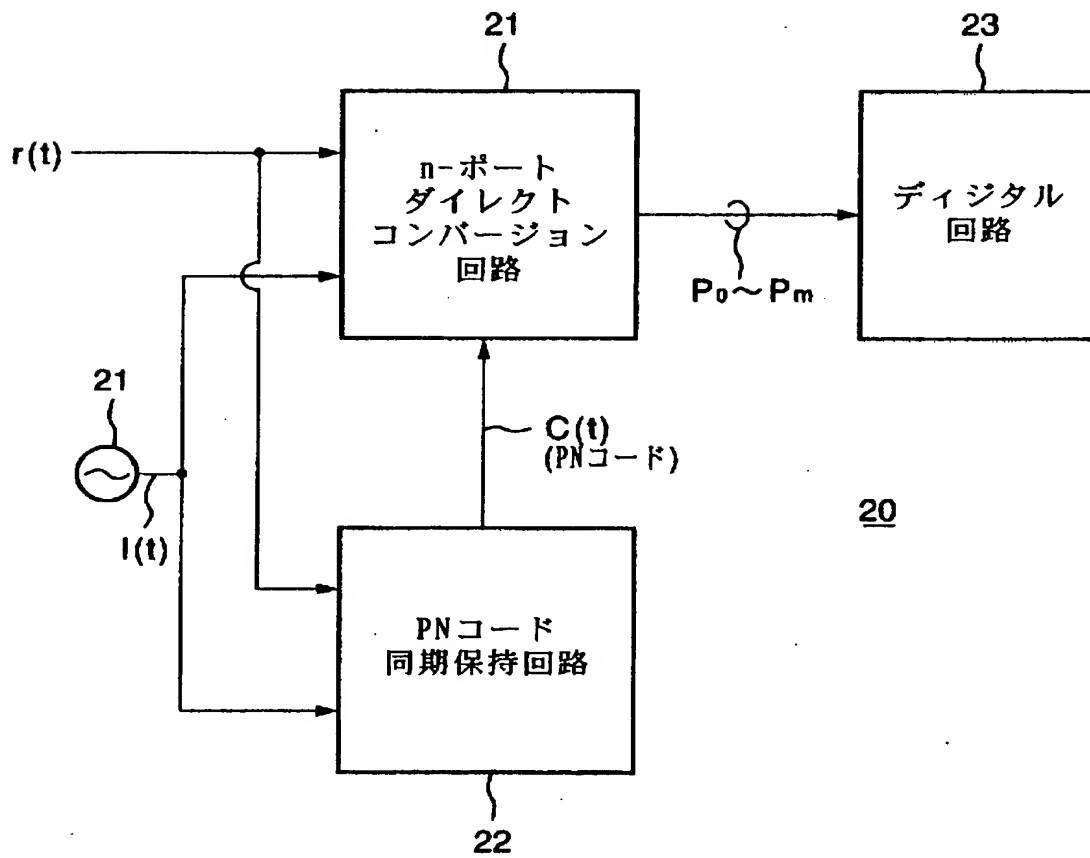
【書類名】

図面

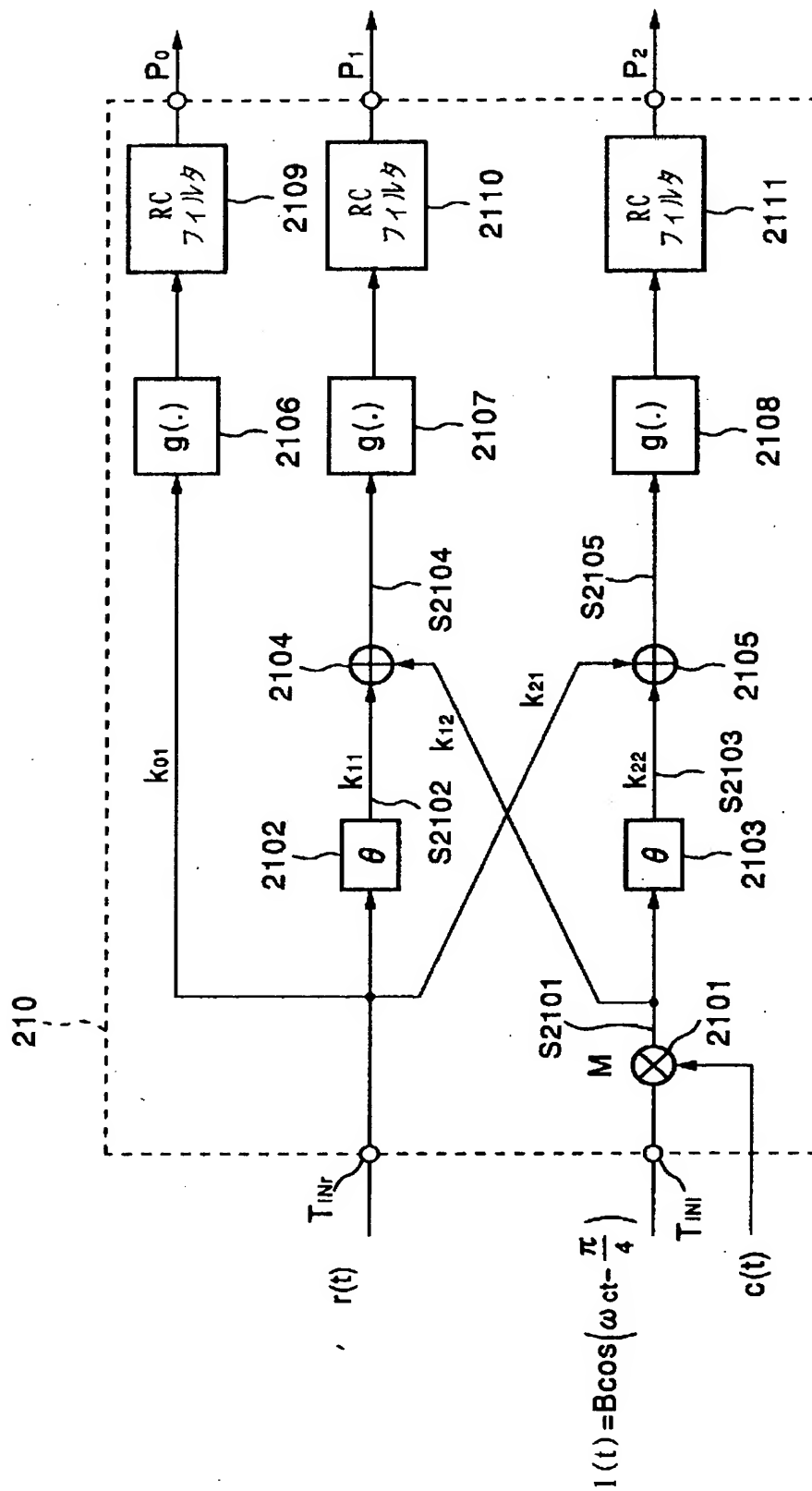
【図 1】



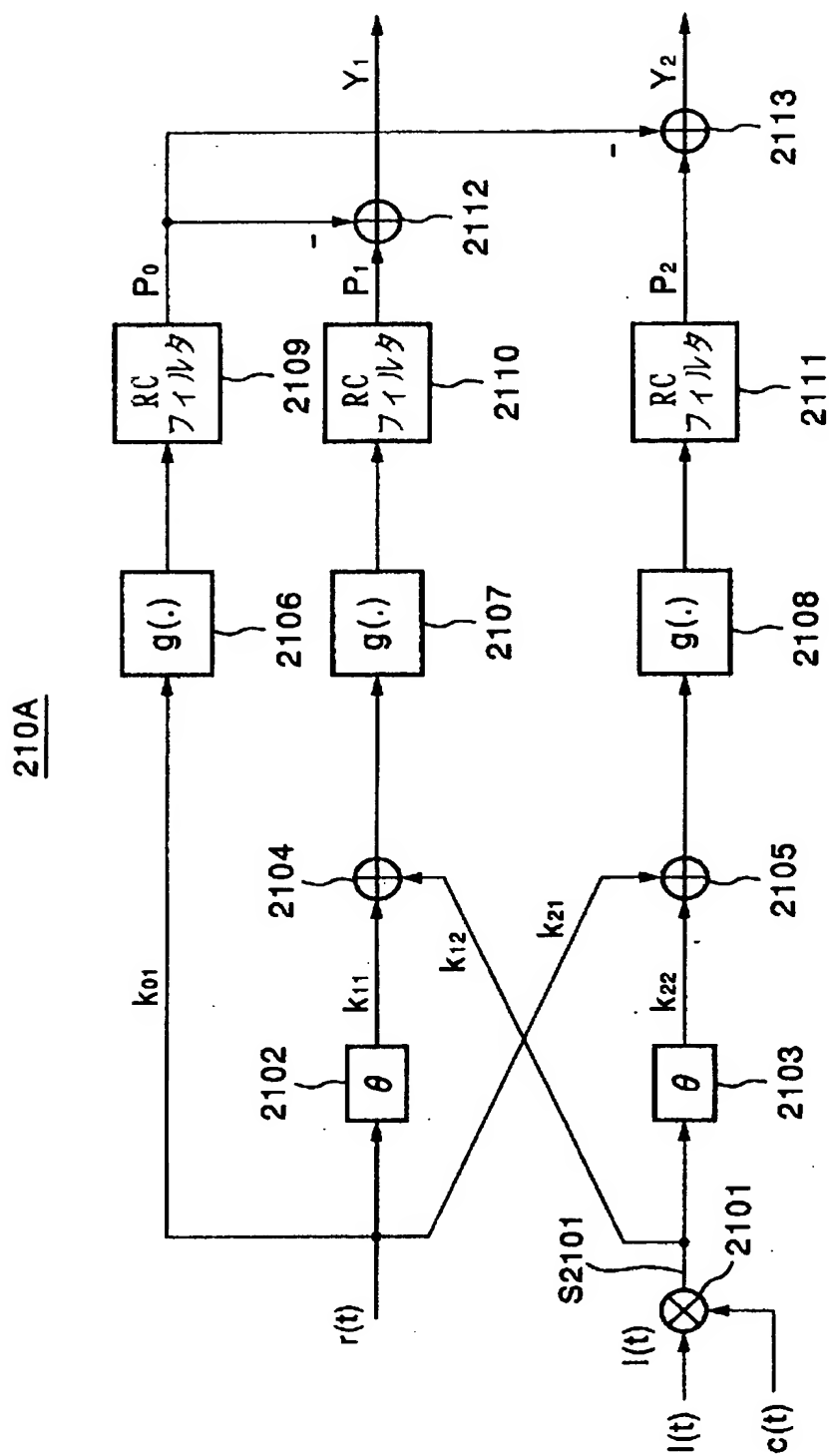
【図 2】



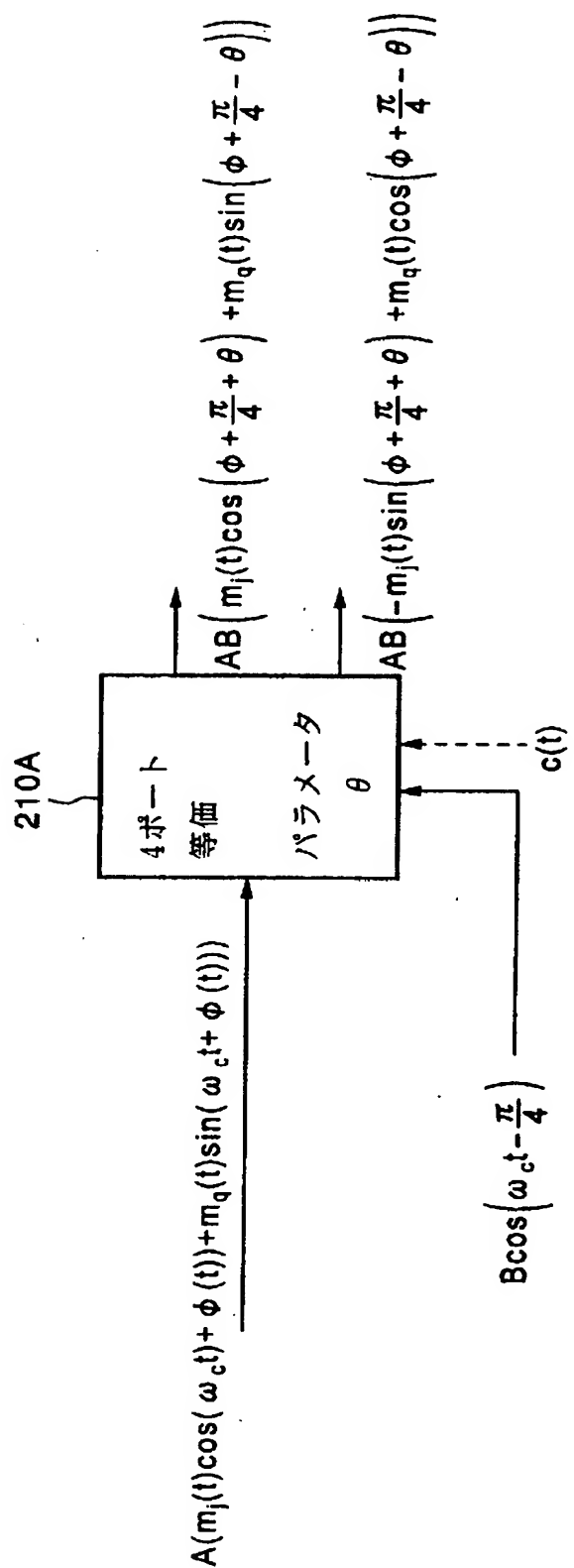
【図 3】



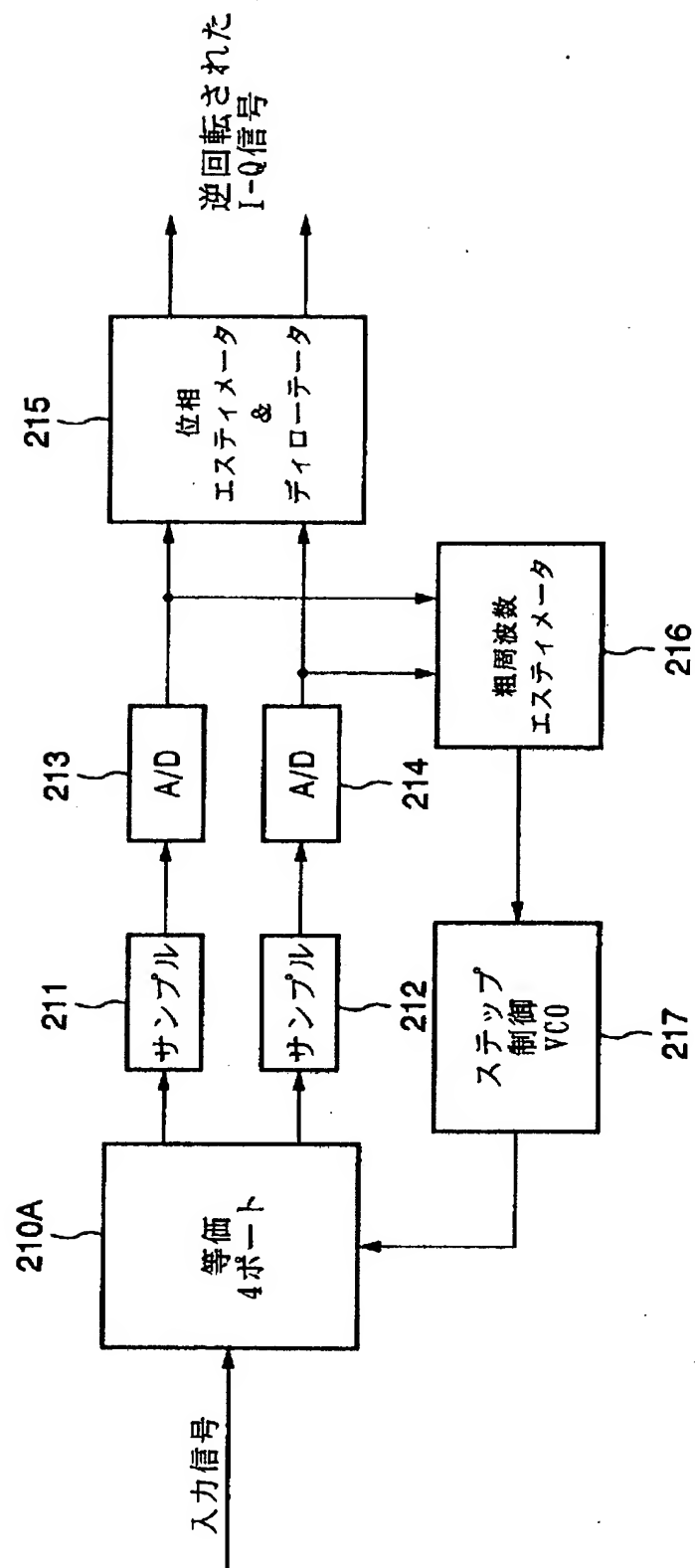
【図 4】



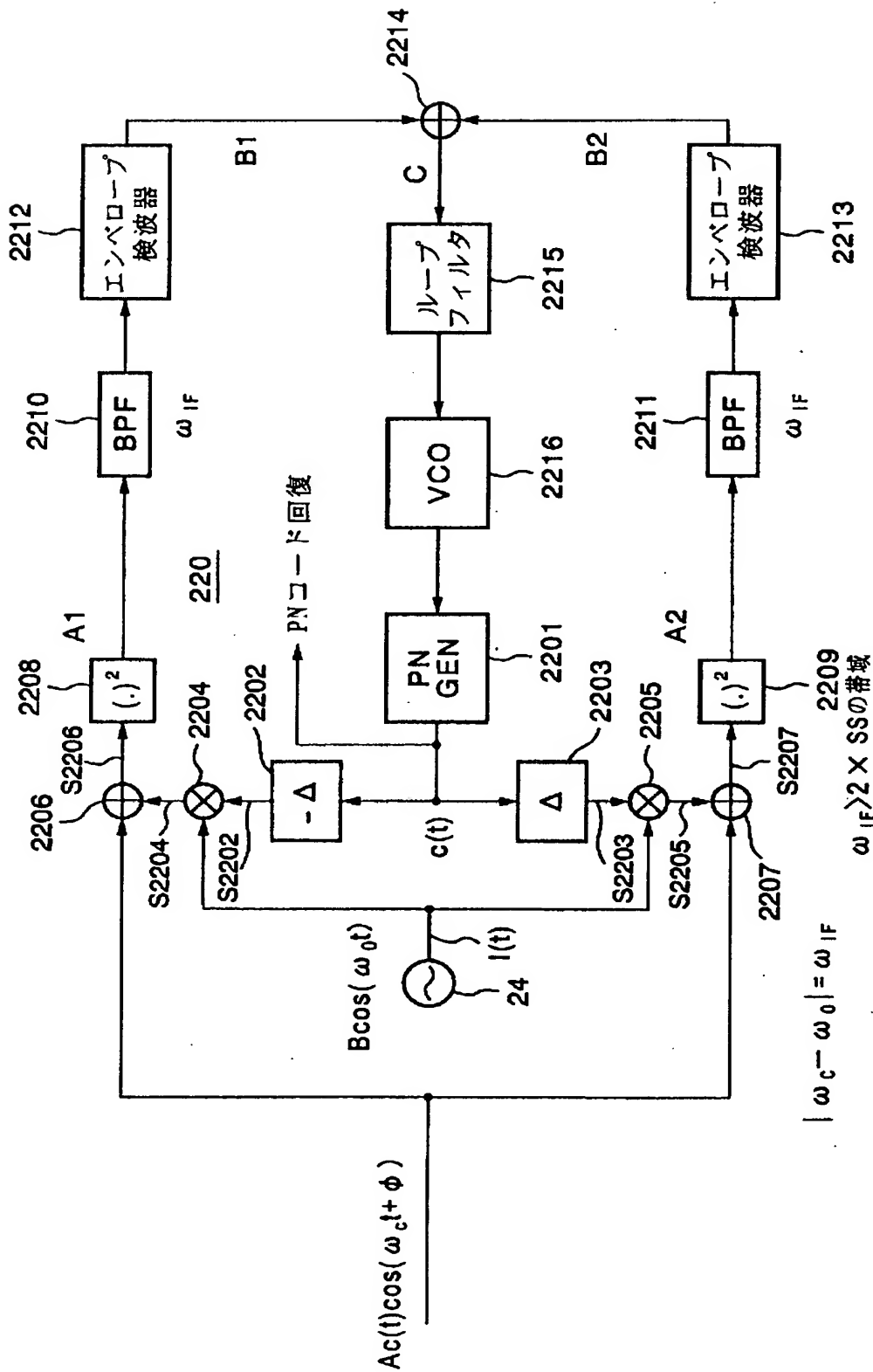
【図5】



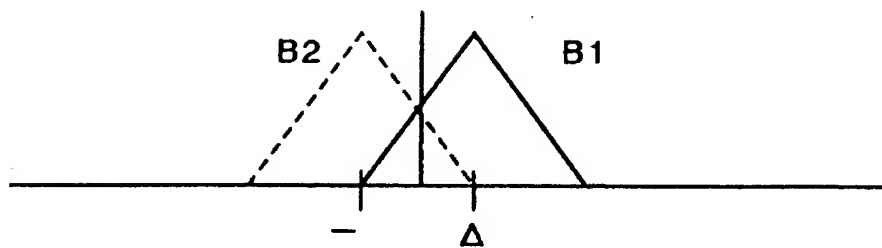
【図 6】



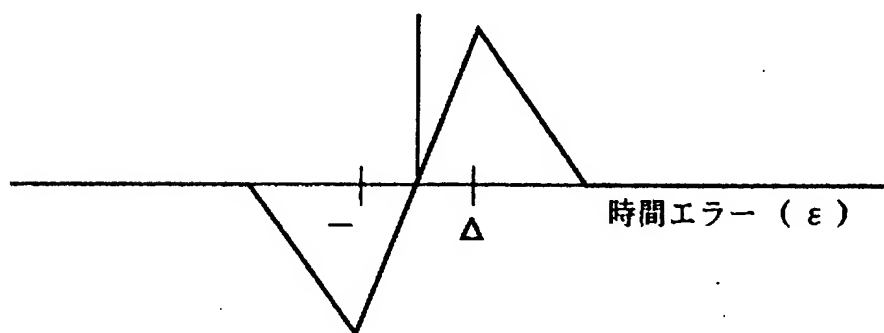
【图 7】



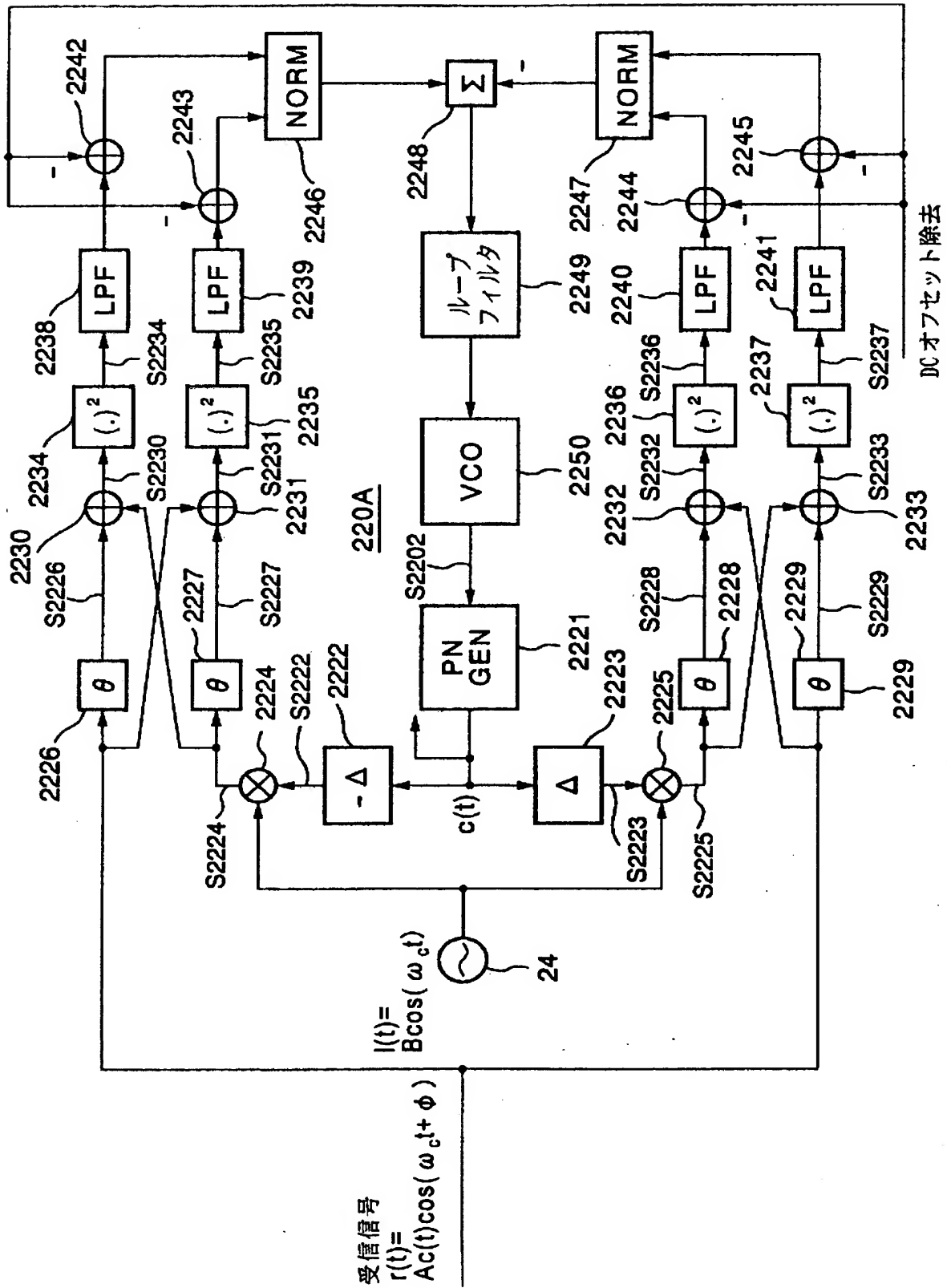
【図 8】



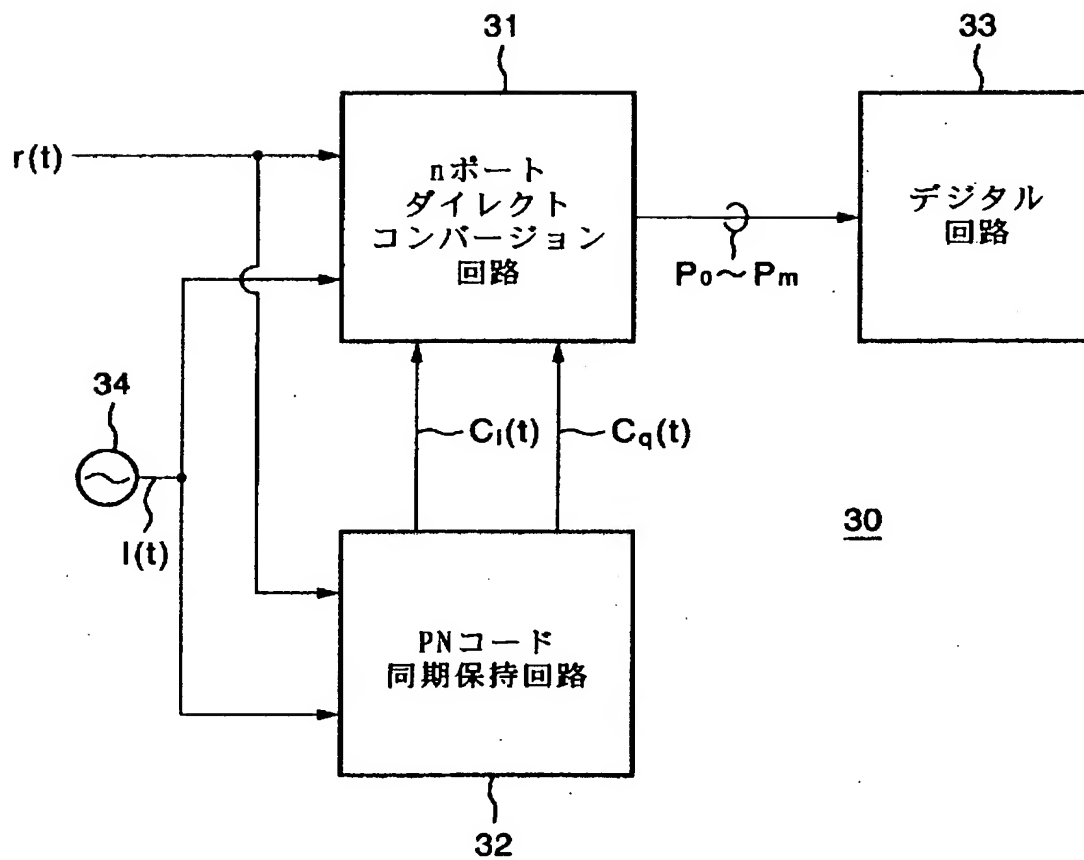
【図 9】



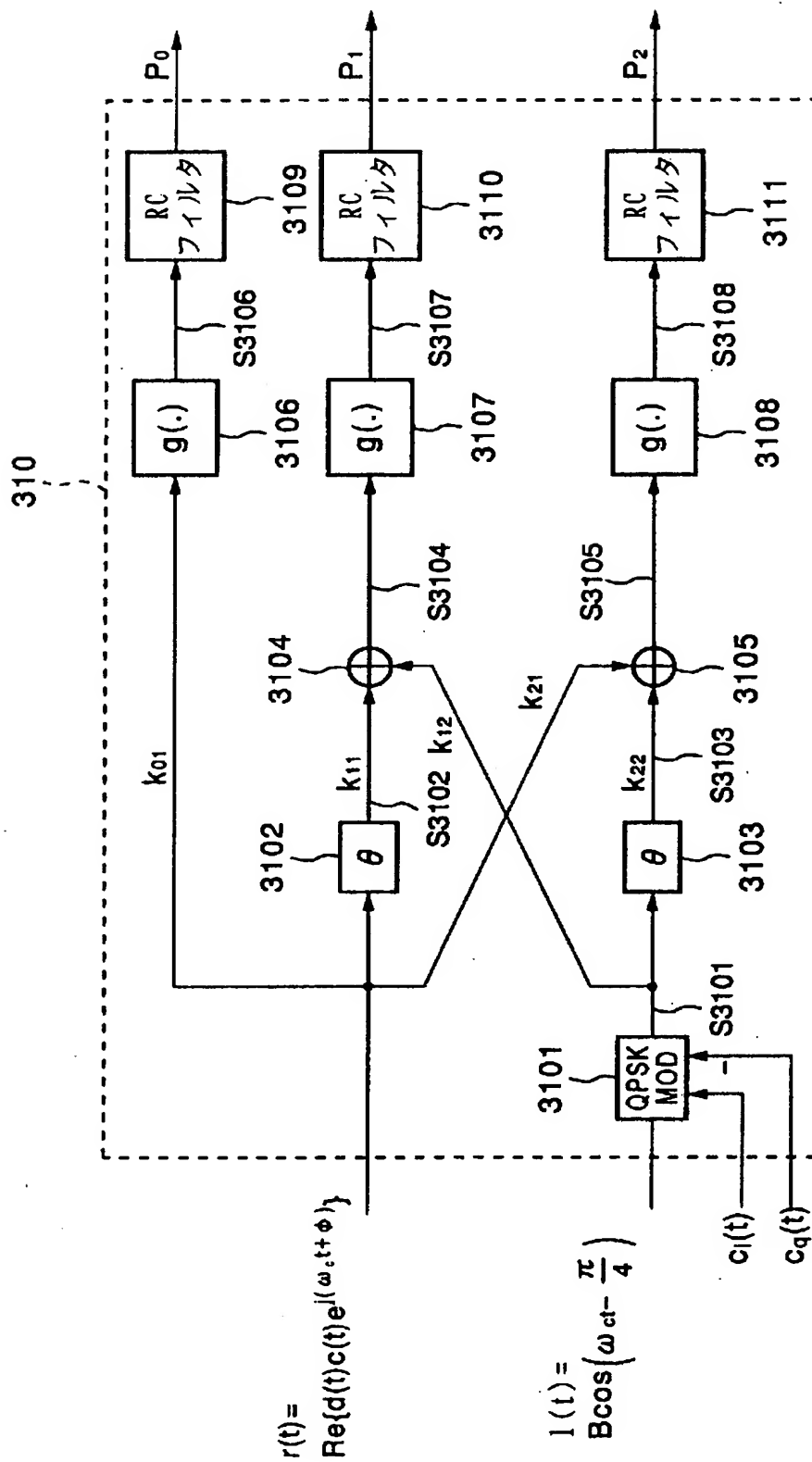
【図10】



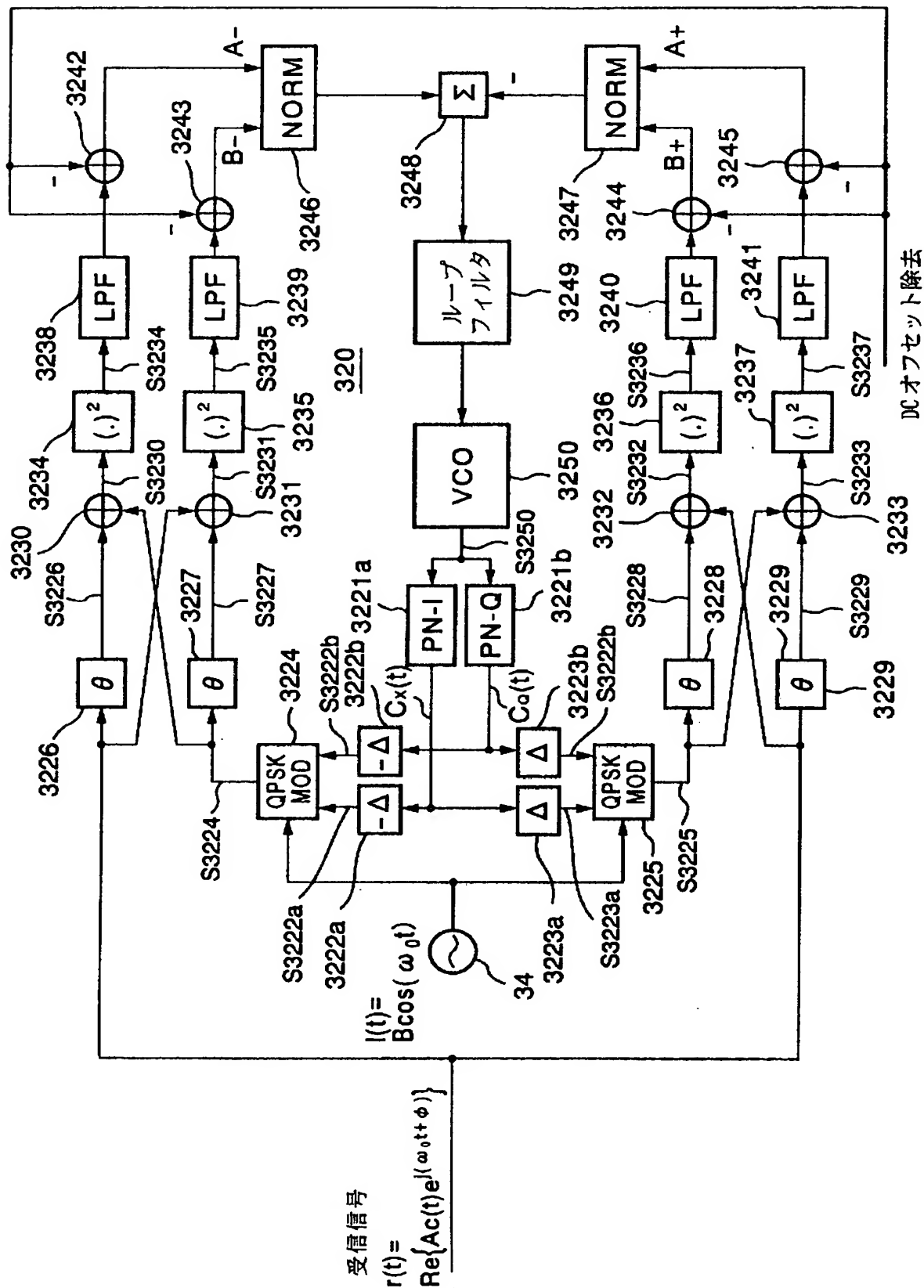
【図 1 1】



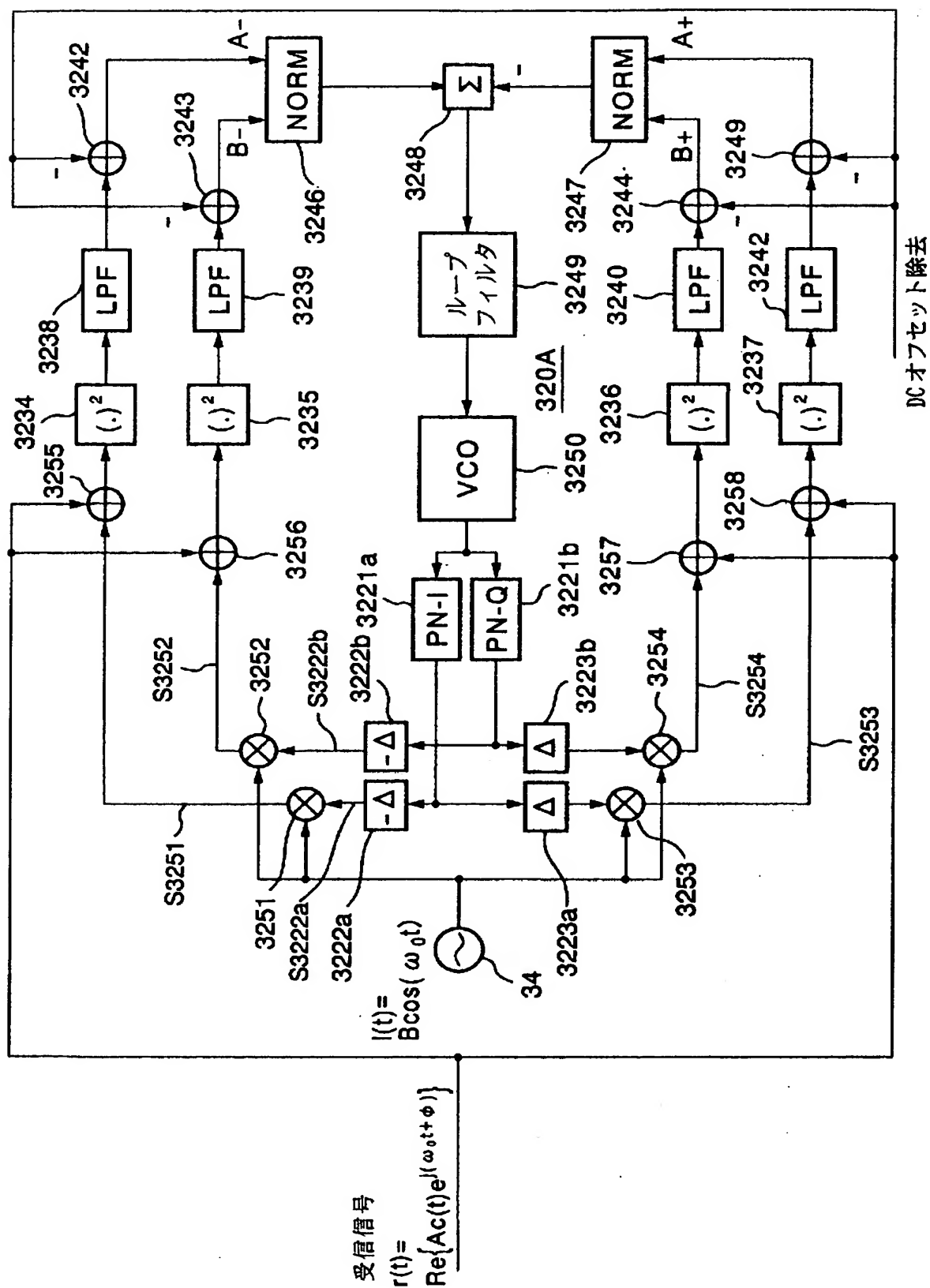
【図 1 2】



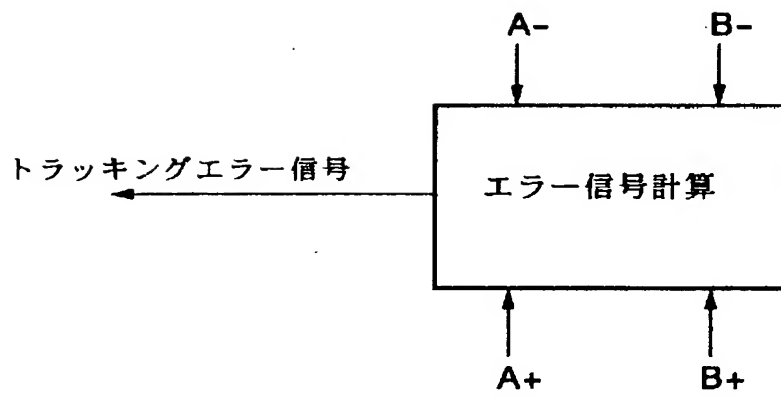
【図 13】



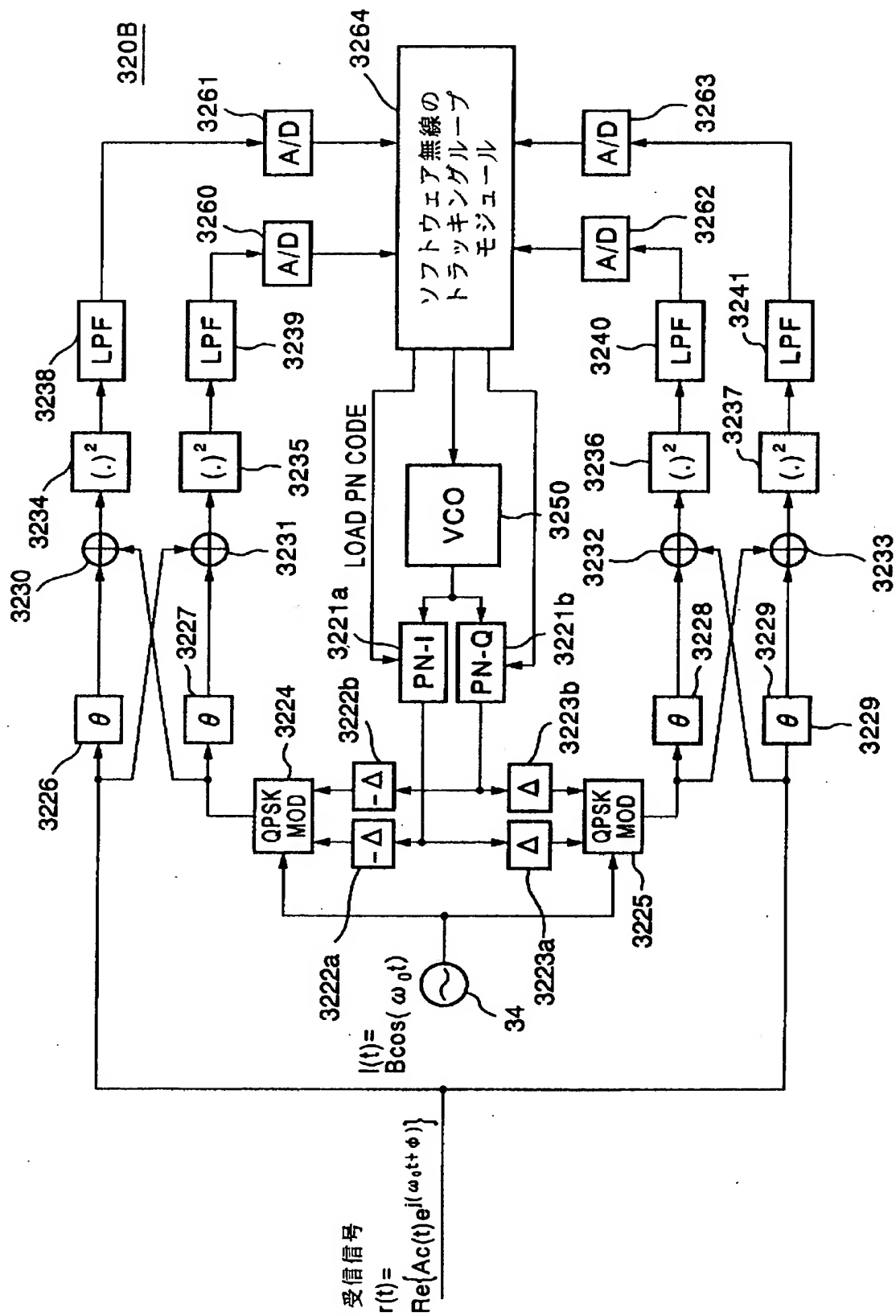
【図14】



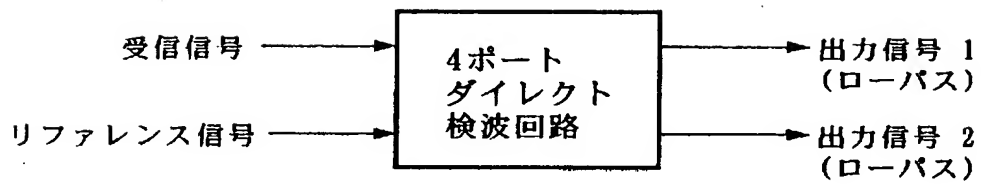
【図 1 5】



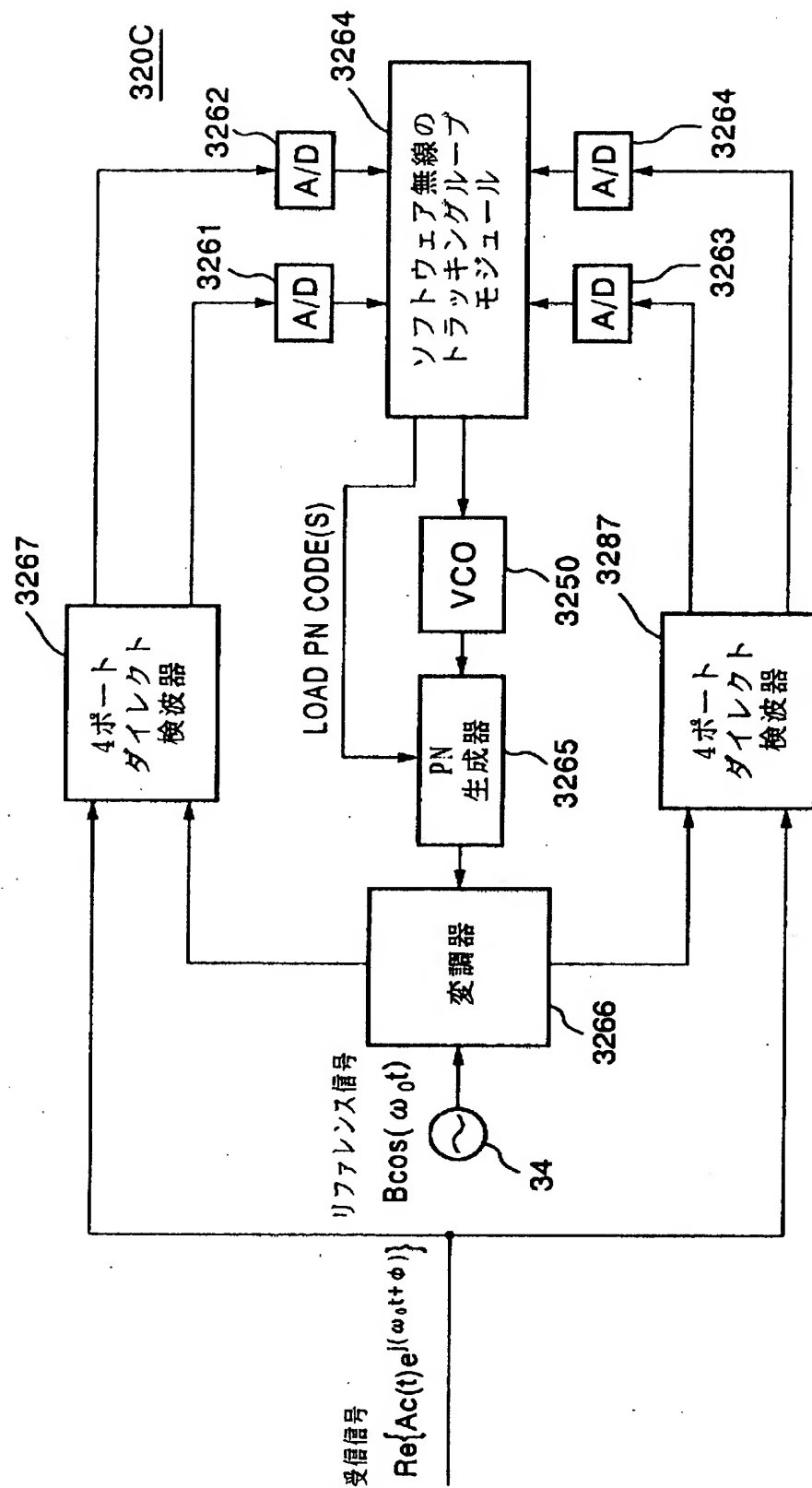
【図 16】



【図 1 7】



【図 18】



【書類名】 要約書

【要約】

【課題】 回路の複雑さがチップレートと無関係で、非常に高チップレートの電力効率のよいスペクトル拡散システムの設計が可能であり、電力消費を削減可能で、また、チップレートの代わりにデータシンボルレートでデジタル処理を行うことが可能なスペクトル拡散受信機を提供する。

【解決手段】 スペクトル拡散受信機はダイレクトコンバージョン技術に基づく回路 2 1, 2 2 を採用している。これらの回路は、大幅に複雑が低減し、標準アップローチの完全なデジタル受信機で実現可能なレートより非常に高速のチップレートのスペクトル拡散受信機を許容する、これらの回路を用いることによって、受信機でのデジタル処理は、背景技術におけるスペクトル拡散およびCDMA受信機の設計に習慣的に用いられるチップレートの倍数でなく、データシンボルレートで実行される。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2000-363847
受付番号	50001673937
書類名	翻訳文提出書
担当官	濱谷 よし子 1614
作成日	平成13年 1月 4日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川6丁目7番35号
【氏名又は名称】	ソニー株式会社

【代理人】

申請人	
【識別番号】	100094053
【住所又は居所】	東京都台東区柳橋2丁目4番2号 創進国際特許事務所
【氏名又は名称】	佐藤 隆久

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社



Creation date: 08-23-2004
Indexing Officer: AVU - ANHTRAM VU
Team: OIPEBackFileIndexing
Dossier: 10017217

Legal Date: 01-17-2002

No.	Doccode	Number of pages
1	CTMS	1

Total number of pages: 1

Remarks:

Order of re-scan issued on